

# IT SoC

## 1. 개요

### 1.1. 기술개요

#### 1.1.1. 중점기술 및 표준화 대상항목의 정의

##### • 중점기술의 정의

System-on-Chip과 관련 부품을 설계, 개발 및 구현하는 기술로, IP 설계 및 검증 기술, IP 유통 표준, 고에너지효율 기술, Chip-Package Codesign 기술, 부품 기술, EMC 기술 등이 표준화 대상항목임

- IT SoC는 대표적인 반도체 시스템인 System-on-Chip과 여기에 필요한 각종 부품을 설계, 개발 및 구현하는 기술
- System-on-Chip은 정보통신기기의 핵심기능을 처리하는 메모리, 디지털 회로, 아날로그 회로, CPU, 센서, 안테나, 수동 소자 등을 하나의 반도체 칩에 집적하는 기술
- IP는 미리 설계가 완료되고 동작이 검증되어 IT SoC를 설계할 때 재사용이 가능한 구성 블록을 의미
- IP 설계 및 검증 기술은 IP를 설계, 개발, 검증 및 테스트하는 데 필요한 기술
- IP 유통 표준은 IP를 손쉽게 유통하는데 필요한 표준 및 인프라
- 고에너지효율 기술은 System-on-Chip의 전력 소모와 발열량을 줄이는 기술
- Chip-Package Codesign 기술은 칩과 패키지 수준에서의 시스템 통합 기술
- 부품 기술은 System-on-Chip에 필요한 각종 부품의 설계, 통합 및 인터페이스 기술
- EMC 기술은 System-on-Chip의 전자파 적합성을 위한 기술

##### • 표준화 대상항목의 정의

구분	표준화 대상항목	표준화 내용
IP 설계 및 검증 기술	HDL Coding	HDL 언어 표준 확장 및 시스템을 기술 (description)하는 방법
	IP Interface	IP 상호 연결을 위한 연결 방법
	AMS IP	아날로그/혼성신호 IP의 재사용을 위한 방법
	Platform-Based Design	IP 재사용이 용이하도록 구성된 Platform 및 이를 사용한 설계 방법
	IP Verification	Assertion 등을 사용하여 IP의 설계 및 검증이 용이하도록 하는 방법
	IP Testability	IP를 칩으로 제작할 때 확인이 필요한 테스트 항목
IP 유통 표준	IP 전달물	IP 사용자에게 IP가 전달될 때 재사용이 용이하도록 전달해야 할 항목
	IP 품질 평가	IP 사용자가 IP 구매 전에 IP의 품질에 대한 정보를 제공하기 위한 항목
	IP 보호	IP 거래에 있어서 법적인 IP 보호, 기술적 IP 보호에 대한 방법
	IP Numbering	IP 유통 및 관리가 용이하게 하기 위한 표준화된 넘버링 방법
고에너지효율 기술	Chip-Level Power Management	단일 칩 또는 단일 패키지 수준의 전력 및 발열량 측정 및 제어 방법
Chip-Package Codesign 기술	Netlist Assignment	다수의 칩을 단일 패키지로 통합할 때의 Netlist Assignment 방법
	SI 및 Power	칩과 패키지 수준에서 SI 및 Power의 측정과 인증 방법
부품 기술	MEMS 센서 패키징	MEMS 센서 부품의 패키징 및 인터페이스 방법
	mm파 SoC 패키징	mm파 SoC 부품의 패키징 및 인터페이스 방법
	USN 센서 하드웨어 인터페이스	USN 센서 부품의 하드웨어 인터페이스 방법
EMC 기술	Chip-Level EMC	단일 칩 또는 단일 패키지 수준의 EMC 측정 및 인증 방법

• 표준화 대상항목의 그린ICT 관련성

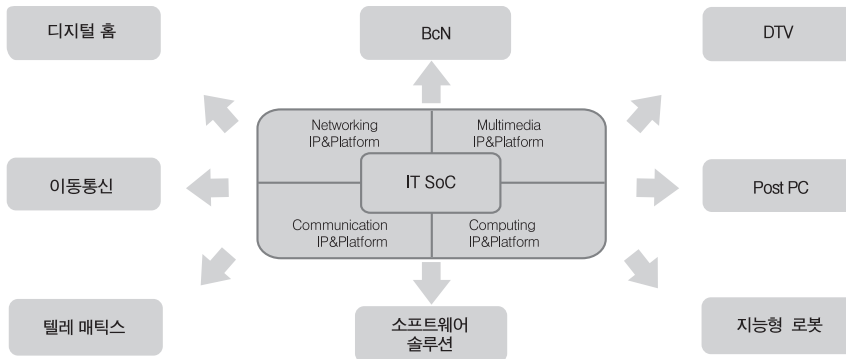
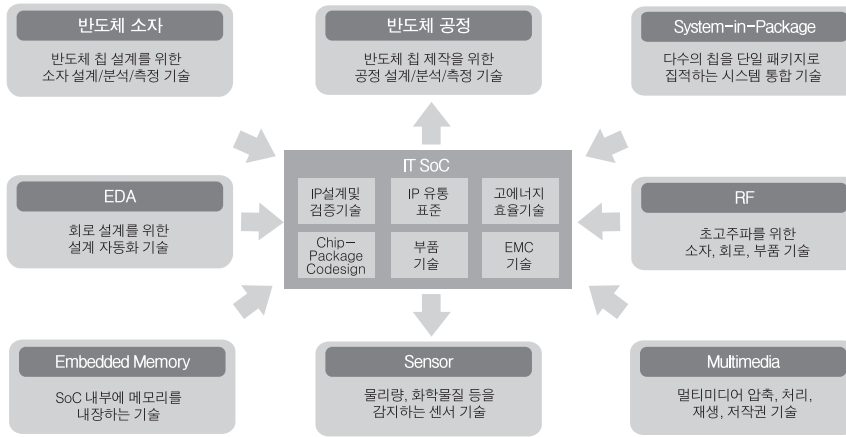
- SoC 반도체가 탑재된 ICT 기기는 2008년 전세계 탄소 배출량의 2%를 차지하고 있으며 그 비율은 매 5년마다 두 배씩 증가하고 있어서 2018년에는 8%를 차지할 것으로 예상됨
- 이는 항공 산업 전체의 탄소 배출량과 맞먹으며 산업 부문 중에서 탄소 배출량 증가 비율이 가장 높은 분야의 하나임
- ICT 기기의 전력 소모에서 SoC 반도체가 차지하는 비율을 30%라 하면 SoC 반도체는 2018년에는 전세계 탄소 배출량의 2.4%를 차지할 것으로 예상됨

표준화 대상항목 (음영 : 중점표준화항목)	물건 소비 감소	전력· 에너지 감소	인간 이동 감소	물류 감소	공간 효율화	폐기물 감소	업무 효율화	비고
HDL Coding	○	●	-	-	-	-	●	- 표준화에 따라 SoC 반도체를 고성능화함으로써 효율성을 높이고 소 모 전력을 줄임
IP Interface	○	●	-	-	-	-	●	
AMS IP	○	●	-	-	-	-	●	
Platform-Based Design	-	-	-	-	-	-	-	-
IP Verification	-	-	-	-	-	-	-	-
IP Testability	-	-	-	-	-	-	-	-
IP 전달물	-	-	-	-	-	-	-	-
IP 품질 평가	-	-	-	-	-	-	-	-
IP 보호	-	-	-	-	-	-	-	-
IP Numbering	-	-	-	-	-	-	-	-
Chip-Level Power Management	●	●	-	-	●	●	●	- Chip-Level Power Management 기술에 의해 메모리, 마이크로프로 세서 등 SoC 반도체의 전력 소모를 30% 이상 감소시킬 수 있으며 이 에 따라 이 기술을 적용하면 2018년에는 전세계 탄소 배출량의 0.72%를 감축할 수 있음 - 이러한 탄소 배출량 감축 효과는 2018년 항공 산업 전체 탄소 배출량 의 42%를 감축하는 것과 맞먹으며, 단일 기술로는 탄소 배출량 감축 효과가 매우 높음 (참고: 2018년 항공 산업 전체의 탄소 배출량은 전 세계 탄소 배출량의 1.7%에 달할 것으로 추산됨)
Netlist Assignment	●	●	-	-	●	●	●	- 표준화에 따라 SoC 반도체를 고성능화함으로써 효율성을 높이고 소 모 전력을 줄임
SI 및 Power	●	●	-	-	●	●	●	
MEMS 센서 패키징	●	●	-	-	●	●	●	
mm파 SoC 패키징	●	●	-	-	●	●	●	
USN 센서 인터페이스	●	●	-	-	●	●	●	
Chip-Level EMC	●	●	-	-	●	●	●	

〈범례〉 - (관련없음) ○(소) ●(중) ●(대)

### 1.1.2. 연관기술 분석

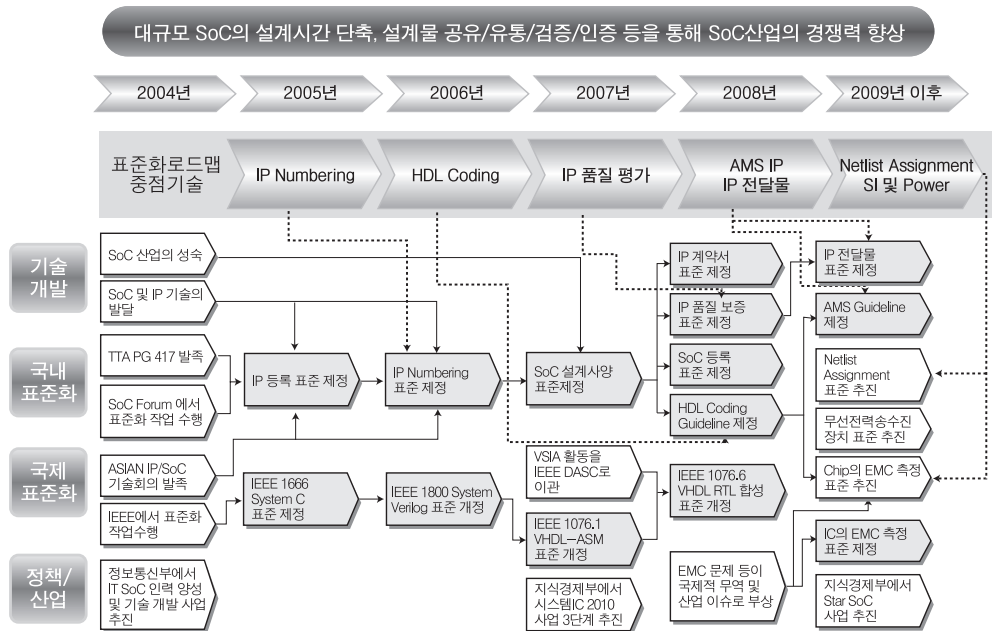
#### • 연관기술 관계도



#### • 연관기술 분석표

연관기술	내용	표준화기구/단체		표준화수준		기술개발수준	
		국내	국외	국내	국외	국내	국외
반도체 소자	반도체 칩 설계를 위한 소자 설계/분석/측정 기술	기술 표준원	IEC	표준 기획	표준 제/개정	상용화	상용화
반도체 공정	반도체 칩 제작을 위한 제조 기술	기술 표준원	SEMI, JEDEC	표준안 개발/검토	표준 제/개정	상용화	상용화
System-in-Package	다수의 칩을 단일 패키지로 집적하는 시스템 통합 기술	SoC Forum, TTA	ITRS, JEDEC	표준 기획	표준 제/개정	기술 기획	시제품 /프로토타입
EDA	회로 설계를 위한 설계 자동화 기술	SoC Forum, TTA	IEC, SI2, Accellera	표준 제/개정	표준 제/개정	상용화	상용화
RF	초고주파를 위한 소자, 회로, 부품 기술	SoC Forum, TTA	IEC	표준 기획	표준 제/개정	상용화	상용화
Embedded Memory	SoC 내부에 메모리를 내장하는 기술	기술 표준원	IEC	표준 기획	표준 제/개정	상용화	상용화
Sensor	물리량, 화학물질 등을 감지하는 센서 기술	SoC Forum, TTA	IEC	표준 기획	표준 제/개정	상용화	상용화
Multimedia	멀티미디어 압축, 처리, 재생, 저작권 기술	MPEG Korea	ISO, IEC, ITU-T	표준 제/개정	표준 제/개정	상용화	상용화

## 1.2. 중점기술의 연도별 주요현황 및 이슈



## • 국내 표준화

- 2005년 TTA에서 IP 등록 표준을 국내 표준으로 제정
- 2006년 TTA에서 IP Numbering을 국내 표준으로 제정
- 2007년 TTA에서 SoC 설계 사양 표준을 국내 표준으로 제정
- 2008년 TTA에서 IP 계약서 표준, IP 품질 평가 표준, SoC 등록 표준, HDL Coding Guideline을 국내 표준으로 제정
- 2009년 TTA에서 IP 전달물 표준, AMS Design Guideline을 국내 표준으로 확정할 예정
- 현재 SiP에서의 Netlist Assignment Guideline, 무선전력송수신장치 표준, Chip 수준에서의 EMC 측정 표준 등을 추진 중임

## • 국제 표준화

- 2005년 IEEE 1666 System C 표준을 국제 표준으로 제정
- 2006년 IEEE 1800 System Verilog 표준 (Revision)을 국제 표준으로 제정
- 2007년 IEEE 1076.1 VHDL-ASM 표준 (Revision)을 국제 표준으로 제정
- 2008년 IEEE 1076.6 VHDL RTL 합성 표준 (Revision)을 국제 표준으로 제정
- 2009년 IEC SC47A WG9에서 IEC 62132 IC의 EMC 측정 표준을 국제 표준으로 제정

### 1.3. 추진경과 및 중점 추진방향

#### • 추진경과

- Ver.2007에서는 2006년에 SIPAC 사업이 종료됨에 따라 국내 표준안의 추진 체계 및 로드맵을 수정 보완함
- Ver.2008에서는 IT SoC가 나노 SoC로 변경되면서 기존의 IP 기술 일변도에서 시스템 전체를 포괄하는 방향으로 선회함. 이에 따라 IP 통합 기술을 새롭게 중점 기술로 추가하였음
- Ver.2009에서는 시스템 전체의 SoC 구현을 포괄하는 방향으로 발전함. 이에 따라 시스템 부품 기술을 새롭게 중점 기술로 추가하였으며, 표준화가 비교적 어려운 IP 검증 및 테스트 기술을 삭제하였음. 또한 나노 SoC의 특성상 공정 기술의 파운드리 의존성을 감안하여 다수의 중점 기술을 가이드라인 형태로 진행하기로 함
- Ver.2010에서는 나노 SoC가 다시 IT SoC로 변경되면서 시스템 통합 기술과 시스템 부품 기술을 고에너지효율 기술, Chip-Package Codesign 기술, 부품 기술, EMC 기술로 세분화하여 중점 기술로 추가함. 중점 표준화 항목도 대폭 증가함

#### • 버전별 중점 표준화항목의 변천

구분	Ver.2007	Ver.2008	Ver.2009	Ver.2010
IP 설계 및 검증 기술	HDL Coding	HDL Coding	HDL Coding	HDL Coding
	IP Interface	IP Interface	IP Interface	IP Interface
	AMS IP	AMS IP	-	AMS IP
	Platform-Based Design	Platform-Based Design	-	-
	IP Test/Verification	IP Test/Verification	-	IP Verification IP Testability
IP 유통 표준	IP 전달물	IP 전달물	IP 전달물	IP 전달물
	IP 품질평가	IP 품질평가	IP 품질평가	IP 품질평가
	IP 보호	IP 보호	IP 보호	IP 보호
	IP Numbering	IP Numbering	-	IP Numbering
고에너지효율 기술	-	-	-	Chip-Level Power Management
Chip-Package Codesign 기술	-	Chip-Package Codesign	Chip-Package Codesign	Netlist Assignment SI 및 Power
				MEMS 센서 패키징 USN 센서 하드웨어 인터페이스
부품 기술	-	-	Sensor 부품	mm파 SoC 패키징
			-	Chip-Level EMC
EMC 기술	-	-	-	Chip-Level EMC

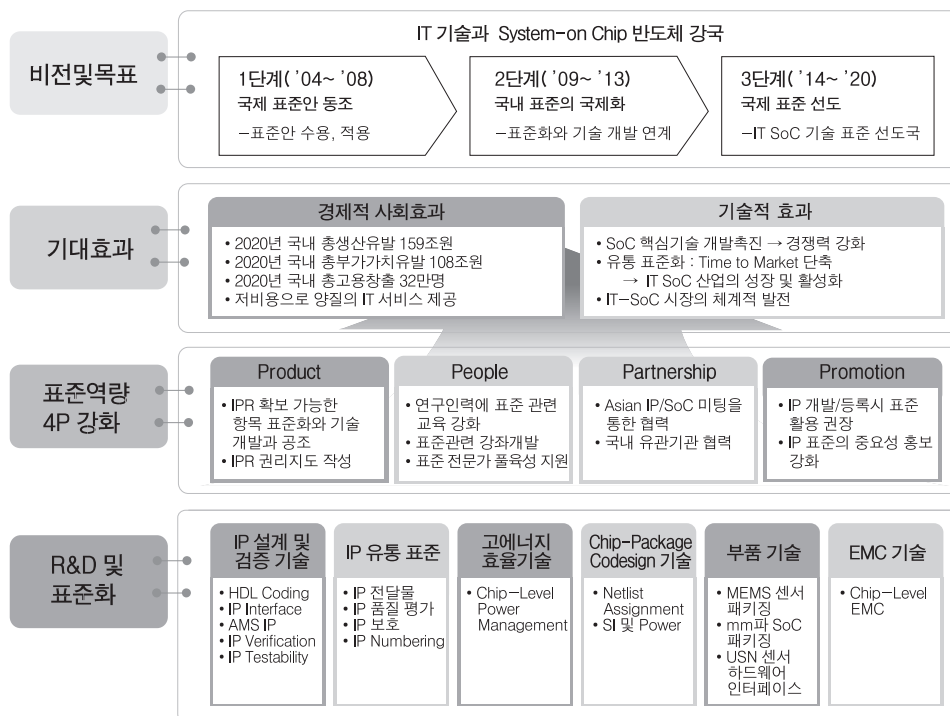
#### • 중점 추진방향

- Ver.2010에서는 Ver.2009까지 큰 변동 없이 진행되어 온 각종 표준화 항목 전체를 재검점하고, 최근 IT SoC 분야의 기술 변동과 산업체 수요 등을 감안하여 다수의 중점 표준화 항목을 신설함. 이에 따라 HDL Coding, IP Interface, AMS IP, IP Verification, IP Testability, IP 전달물, IP 품질 평가, IP보호, IP Numbering, Chip-Level Power Management, Netlist Assignment, SI 및 Power, MEMS 센서 패키징, mm파 SoC 패키징, USN 센서 하드웨어 인터페이스, Chip-Level EMC의 16개 중점 표준화 항목을 결정함
- 현재까지 Ver.2009를 기반으로 SoC Forum 및 TTA PG417에서 작성한 표준화 작업이 상당한 가시적 성과물을 보이고 있으므로 Ver.2010에서는 이를 바탕으로 SoC 시스템 전체를 포괄하는 방향으로 로드맵을 작성함
- Ver.2009에서는 중점 표준화 항목으로 선정되지는 않았으나 향후 매우 중요한 위치를 차지할 것으로 생각되는 SI, Power,

RF, EMC, Biochip, Telemetric, Low-Power 등 유망 핵심 기술의 표준화가 향후 수년 이내에 필요하게 될 것으로 논의되었으며, Ver.2010에서는 이들 유망 핵심 기술에 대해 기술 및 시장 발전 상황을 면밀히 살펴가면서 적극적으로 중점 표준화 항목으로 선정하였음

- 이에 따라 Ver.2010에서는 기존의 시스템 통합 기술과 시스템 부품 기술을 다수의 세부 기술로 세분화하여 다수의 새로운 중점 표준화 항목을 결정함. 특히 새롭게 대두되고 있으며 그 중요성이 날로 증가하고 있는 Chip-Level Power Management, Netlist Assignment, SI 및 Power, MEMS 센서 패키징, mm파 SoC 패키징, USN 센서 하드웨어 인터페이스, Chip-Level EMC 등의 중점 표준화 항목은 측정, 인증, 패키징, 인터페이스 등 표준화가 절실히 요구되는 기술이며, 국제 표준 제안에도 유리할 것으로 생각됨

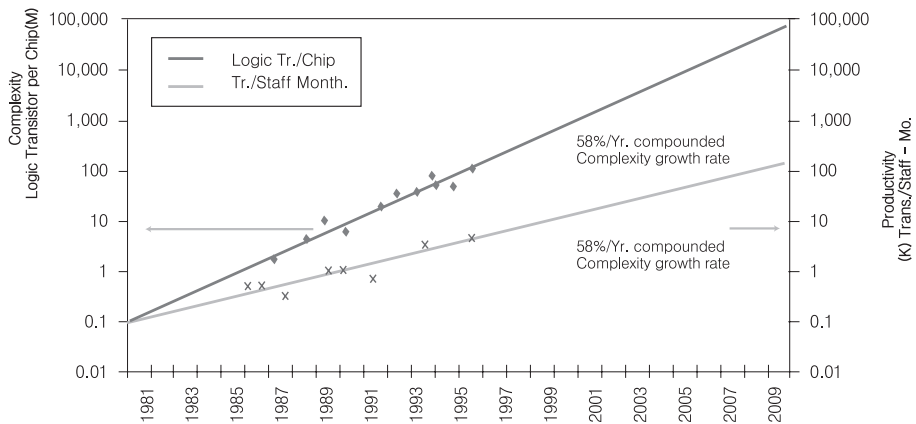
#### 1.4. 표준화의 Vision 및 기대효과



##### 1.4.1. 표준화의 필요성

IT SoC에서 표준화의 필요성은 (1) 서로 다른 분야, 서로 다른 기관, 서로 다른 팀에서 SoC 개발에 참여하는 설계자 및 개발자들이 상호 협력하여 대규모 SoC의 설계를 가능하게 하며, (2) 설계자 및 개발자와 수요자 사이에 SoC 설계물 및 결과물에 대한 공유, 평가, 교환, 유통, 검증 등을 가능하게 하며, (3) 표준에 따라 기 설계, 기 개발된 각종 융합 부품을 손쉽게 대규모 SoC에 끼워넣을 수 있도록 하며, (4) SoC를 측정, 검증 및 인증할 수 있는 표준 절차를 마련하여 개발된 SoC가 문제 없이 동작하도록 확신할 수 있게 하는 점을 들 수 있음

- IT SoC는 정보통신기기의 핵심기능을 처리하는 메모리, 디지털 회로, 아날로그 회로, CPU, 센서 등이 통합된 복잡한 시스템을 하나의 반도체 칩에 집적하는 기술임
- 이러한 IT SoC의 개발을 위해서는 통신, 컴퓨터, 정보기기 등 “시스템 기술”과 집적회로 설계 및 검증 등 “반도체 기술”이 융합되어야 함. SoC 설계 기술의 핵심은 수천만개에서 수억개가 넘는 트랜지스터로 구성된 복잡한 SoC를 어떻게 설계, 검증, 테스트할 것인가 하는 문제이다. 설계와 개발의 복잡도는 증가하는 반면에 시장에서 요구하는 제품개발 시간은 점점 더 짧아지고 있음. 따라서 time-to market의 해결이 극복하여야 할 중요한 문제임



(그림 1) 설계 및 개발의 복잡도 증가와 설계자의 생산성 증가

- 이러한 SoC 설계의 복잡성, 기술의 다양성 및 시간제약 문제를 극복하기 위해서는 동작이 검증된 IP를 재사용하여 SoC를 설계하는 방법이 필요하게 되었음. IP를 재사용하여 SoC를 설계하는 방법은 초기에는 복잡한 ASIC을 위해서 필요한 기능을 만족하는 IP를 사용하여 설계하는 Block 기반 설계 (Block Based Design)방법이 사용되었으나, 현재는 미리 검증된 IP의 재사용을 위한 시스템의 구성을 설계하고 IP 뿐만이 아니라, 시스템의 기본 구성도 재사용하여 시스템을 개발하는 Platform 기반 SoC 설계 방법 (Platform Based Design)으로 발전하였음
- 비록 설계 기술 및 설계 도구의 발달에 따라 설계자의 생산성도 증가하고 있으나, 시스템 규모의 증가 추세가 훨씬 더 급격하기 때문에 하나의 SoC를 개발하는데 필요한 IP의 수 및 설계자의 수는 점점 증가하게 됨 이에 따라 다수의 설계자가 만든 다수의 IP를 다수의 설계자가 하나의 SoC로 구성하는 경우가 더욱 빈번해졌음
- 시스템 규모가 급격하게 커짐에 따라 시스템의 주요 성능과 구조를 설정하는 시스템 개발자, 시스템의 H/W를 구현하는 H/W 개발자, 시스템 위에 S/W를 구현하는 S/W 개발자 등이 SoC 구현 과정에서 상호 긴밀하게 협력해야 할 필요성이 급격히 증가하였음
- 상업적으로 개발된 IP의 성능이 높아짐에 따라 플랫폼 위에서 이미 검증된 IP를 재사용하는 것이 설계 시간 및 비용 단축에 유리하는 경우가 많아졌음. 이 경우 IP의 제작, 검증, 품질 평가, 유통, 부정 사용에 대한 기술적인 보호 등에 대한 필요성이 급격히 증가하였음
- SoC 구현 면에서 IP뿐만 아니라 다수의 설계자가 개발한 SoC 칩을 단일 패키지 위에 집적하는 System-in-Package (SiP) 기술이 발전하였으며, 이에 따라 다수의 칩과 패키지를 통합하여 설계하는 Chip-Package Codesign 기술의 필요성이 급격히 증가하였음

- 또한 SoC 구현 면에서 아날로그 회로와 디지털 회로 이외에 센서, RF, 메모리, MEMS 등의 각종 부품이 단일 SoC에 집적되기 시작되었으며, 이에 따라 시스템에 필요한 각종 부품 기술의 중요성이 급격히 증가하였음
- 따라서 IT SoC 분야에서 IP 설계 및 검증 기술의 표준화, IP 유통 표준 제정, 고에너지효율 기술의 표준화, Chip-Package Codesign 기술의 표준화, 부품 기술의 표준화, EMC 기술의 표준화 등이 절실하게 요구되고 있음
- 특히 정부의 정책이 SoC 관련 시스템 부품에 집중되기 시작한 점을 감안하여 정부의 정책에 부합하는 방향으로 표준화가 진행되어야 함

#### 1.4.2. 표준화의 목표

IT SoC 기술의 근간이 되는 IP 개발 산업이 활성화 될 수 있도록, IP 설계 및 검증 기술, IP 유통 표준, 고에너지효율 기술, Chip-Package Codesign 기술, 부품 기술, EMC 기술에 대한 표준화를 추진

- IP의 설계, 검증, 테스트, 유통 등을 위한 표준안 제정
- Green IT SoC 부품 등을 위한 표준안 제정
- 시스템 통합 및 구현 등을 위한 표준안 제정
- 시스템 부품의 패키징, 측정 및 인증 등을 위한 표준안 제정
- 국제 표준화 추진 기구의 표준 제정에 대응하는 국내 표준안 마련
- 중국, 일본, 대만, 홍콩 등과의 협력을 통하여 아시아의 표준을 주도

#### 1.4.3. Vision 및 기대효과

IT SoC 핵심 기술 개발 촉진을 통한 System-on-Chip 반도체 강국 실현

- 2020년 국내총생산 159조원 유발, 국내부가가치 108조원 유발, 국내고용 32만명 창출
- 저비용으로 양질의 IT 서비스를 제공하고 IT 정보화 사회를 촉진
- SoC 핵심기술 개발 촉진을 통한 한국 반도체 산업의 경쟁력 향상
- SoC 설계기술의 유통 표준 제시를 통한 SoC시장의 체계적인 발전 및 활성화 촉진

## 2. 국내외 현황분석

### 2.1. 시장 현황 및 전망

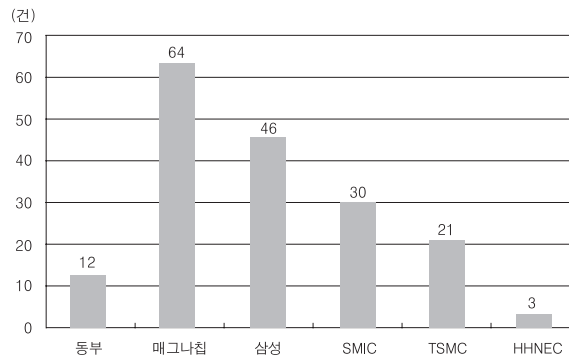
#### 2.1.1. 국내 시장 현황 및 전망

- 국내 SoC 시장 현황 및 전망은 <표 1>과 같으며 2010년까지 연평균 성장률 9.2%, 2020년까지 7.1%의 고속 성장이 예상되고 있음

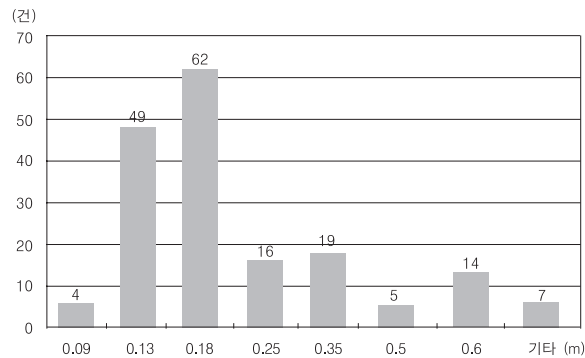
<표 1> 국내 SoC 시장 현황 및 전망 (한국산업의 발전비전 2020, 2007.2, 단위: 백만달러, 명, %)

구 분	2005	2010	2015	2020	CAGR	
					2005-2010	2010-2020
시장 규모	30,357	47,230	65,250	93,350	9.2	7.1
생산 규모	35,210	58,030	83,870	127,020	10.5	8.1
부가가치 창출	23,940	39,460	57,050	86,570	10.5	8.2
고용 창출	92,490	142,430	216,320	317,410	9.0	8.3
수출 규모	29,986	50,270	72,960	110,850	10.9	8.2
수입 규모	25,133	39,470	54,340	77,180	9.4	6.9

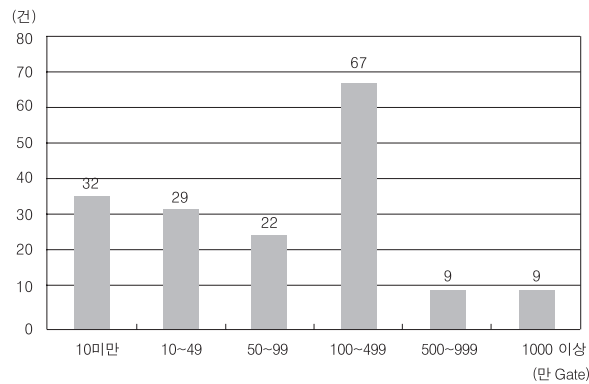
- 2006년도 국내 팹리스 업체에서 개발된 SoC는 총 176종으로, 파운드리별로는 매그나칩반도체 64종, 삼성전자 46종, 동부 12종으로 국내 파운드리가 전체의 70%를 차지하여 국내 파운드리의 경쟁력이 매우 높음을 알 수 있음. 공정별로는 0.18um 62종, 0.13um 49종으로 0.13~0.18um 공정이 전체의 63%를 차지하는 주력 공정임을 알 수 있음. 집적도별로는 100만~500만 게이트 67종, 500만~999만 게이트 9종, 1000만 게이트 이상 9종으로 100만~500만 게이트가 주종을 이루고 있으며, 500만 게이트 이상의 대형 SoC도 18종이나 되어 국내 SoC가 점차 대형화되어가고 있음을 알 수 있음. 이는 마이크로 프로세서, 메모리, 각종 기능 블록 등의 시스템을 하나의 칩에 집적하는 진정한 의미의 System-on-Chip 제품이 시장에서 점차 증가하고 있다는 것을 의미함



(그림 2) 파운드리별 국내 SoC 개발 현황 (전자통신동향분석, 2007.10)



(그림 3) 공정별 국내 SoC 개발 현황 (전자통신동향분석, 2007.10)



(그림 4) 집적도별 국내 SoC 개발 현황 (전자통신동향분석, 2007.10)

- 2006년도 국내 팹리스 업체에서 SoC 개발에 사용된 IP는 총 229건으로, 아날로그 IP가 120건으로 52%, 프로세서 코어 IP가 43건으로 19%를 차지하며, 아날로그 IP 중에서는 ADC, DAC, PLL이 전체 IP의 40%인 92건, 프로세서 코어 IP 중에서는 ARM이 전체 IP의 17%인 39건, 고속 인터페이스 IP 중에서는 USB가 전체 IP의 13%인 29건으로, 국내에서는 이들 5가지 IP가 주로 사용되고 있음을 알 수 있음. 특히 프로세서 코어로 ARM을 사용하는 경우가 대부분인데, 이는 국내에서도 점차 ARM 기반 설계가 활성화되고 있다는 것을 의미함. 아날로그 IP의 경우 대부분 특정 파운드리와 공정에 종속되어 있는 하드 IP의 형태로 활용하기 때문에 아날로그 IP 시장의 활성화를 위해서는 파운드리 업체의 협조가 필수적이며, 이러한 아날로그 IP를 구축하지 못한 파운드리 업체는 시장에서 경쟁력을 상실할 것으로 예상됨

〈표 2〉 분야별 국내 IP 사용 실적 (전자통신동향분석, 2007.10)

구분	활용실적(건)	구성비(%)
프로세서 코어	43	19
- ARM 코어	39	17
- 기타	4	2
고속 인터페이스 IP	36	16
- USB	29	13
- 기타	7	3
아날로그 IP	120	52
- ADC	25	11
- DAC	29	13
- PLL	38	16
- 기타	28	12
메모리 IP	30	13
- SRAM 등	30	13
합 계	229	100

- 국내 센서 및 MEMS 관련 소자의 시장규모는 2002년 16억불에서 2007년 21억불로 성장하였으며, 2012년에는 약 34억불 정도로 연평균 7.8%의 높은 성장률을 보이고 있는 것으로 조사됨. 우리나라 센서 시장의 규모는 전 세계 시장의 대략 17.1%를 점유하고 있으며, 이는 규모의 측면에서 살펴볼 때 6위의 위치를 차지하고 있음. 센서소자의 품목별 시장규모를 살펴보면, 우리나라의 센서소자들은 주로 압력, 화학, 유량, 영상, 근접, 레벨, 온도 센서가 시장의 대부분을 차지하고 있으며, 2007년을 기준으로 할 때 압력, 화학, 유량, 영상 센서가 전체 시장의 50%이상으로 센서시장의 대부분을 점유하고 있는 것으로 나타남. 이들 센서 중에서 특히 영상센서 분야는 현재 시장규모로 4위로 나타나고 있지만 연평균 시장 성장률이 11.2%로 다른 센서의 성장률의 2배 이상을 상회하는 현상을 보이고 있음. 이는 휴대폰 등 모바일용 개인 전자기기의 급속한 보급에 따라서 영상센서의 수요가 급증할 것이라는 기대를 반영하고 있는 것으로 판단됨
- 센서 시장 규모는 그 응용 분야의 성장에 민감하게 반응하므로 독립적인 센서 시장의 규모보다 응용분야에 따른 시장규모가 더 큰 의미가 있음. 2007년 기준으로 우리나라의 응용분야별 센서 시장은 제조/공정과정에 사용되고 있는 센서가 가장 비율로 수위를 차지하고 있으며, 그 뒤를 자동차용 센서와 함께 센서시장의 거의 절반가량을 점유하고 있음

〈표 3〉 응용분야별 국내 센서 시장 규모 (한국센서연구조합, 2007.6, 단위: 백만불, %)

응용분야	2002	2003	2004	2005	2006	2007	2010	2012	성장률
자동차	356	376	400	428	459	493	624	710	7.1
제조/공정	385	405	429	455	486	520	648	730	6.6
기계/공구	286	302	320	341	366	393	499	580	7.3
HVAC/빌딩	239	254	271	291	314	341	438	500	7.7
OA/통신	53	57	60	65	70	76	99	120	8.5
기타응용	276	302	332	366	405	449	610	728	10.2
합계	1,595	1,696	1,812	1,946	2,100	2,272	2,918	3,368	7.8

- 국내 mm과 SoC 패키징 시장은 아직까지는 mm과 시스템 시장이 열리지 않은 상태인 이유로 매우 미미한 수준이며 대부분의 패키지 형태가 waveguide형 패키지임.
- mm과 SoC 패키징의 활용분야는 비압축으로 HDTV급 무선 영상 신호를 전송하는 60GHz WiHD, 대용량 초고속 무선 네트워크인 60GHz WPAN, 차량 충돌방지 및 자동주행을 위한 감지센서인 77GHz 자동차 레이더, 수동 밀리미터파 이미지 검색용 94GHz 영상 센서 등에 활용 가능함. 현재 mm과 SoC 패키지는 waveguide형으로 고가이며 크기가 큰 단점을 가지고 있어서 IT 및 자동차 적용에는 다소 무리가 있는 관계로 저가 및 소형화/다기능화 패키징 기술이 필요함
- mm과 SoC 패키징을 생산하는 주요 업체로는 국내에는 삼성전기, RN2 등이 있으며 재료를 생산하는 다이온, RN2 등이 있음.
- EMC 시장으로 분류할 수 있는 분야는 우선적으로 자동차용 반도체 시장을 들 수 있으며, 그 이유로는 근래에 제정된 IC관련 EMC규격(IEC62132)은 차량용 반도체에 가장 먼저 적용될 것으로 전망되기 때문임. 이외에도 로보트, u-healthcare, 항공기 등에 적용되는 반도체에 위 IEC표준은 규제목적으로 사용될 것으로 예측됨. 따라서 자동차용 반도체 시장은 EMC 시장으로 분류될 수 있으므로 이에 대한 시장 예측은 Databeans에서 발행한 자료를 근거로 살펴보면 다음과 같음
- Databeans에서 예측하는 자동차용 반도체 시장은 최근의 경제위기로 인해 2008년 200억불 정도이던 시장규모가 매년 25% 하락하다가 2012년에 200억불 규모로 회복될 것으로 예측됨. 여기에 국내 자동차용 반도체 시장을 “Automotive Semiconductor Forecast 2004~2013” 자료와 조합하여 구성하면 아래 표와 같음

〈표 4〉 국내 자동차용 반도체 시장 규모 (Databeans, 2009.2, 단위: 억불)

연도	2010	2011	2012	2013	2014
국내시장규모	9,3	10,3	10,7	16,0	18,0

- SiP 설계 기술에서 구현될 기술로는 Chip Level Components에서 SoC, RF, 및 Memory Chips 들에 전원을 안정되게 공급하기 위한 power distribution network 설계와 SoP 상에서 기능 테스트가 가능하도록 하는 설계 기법 및 효율적 파워 제어 방법이 연구되어야 함. 또한 Packaging Level Components에서는 High Density Package, High Speed Package, 및 Multiple Power Structures을 위한 설계 방법이 구현되어야 함.

### 2.1.2. 국외 시장 현황 및 전망

- 세계 SoC 시장 현황 및 전망은 〈표 5〉와 같으며 2010년까지 연평균 성장률 11.7%, 2020년까지 8.1%의 고속 성장이 예상되고 있음

〈표 5〉 세계 SoC 시장 현황 및 전망 (한국산업의 발전비전 2020, 2007.2, 단위: 백만달러, %)

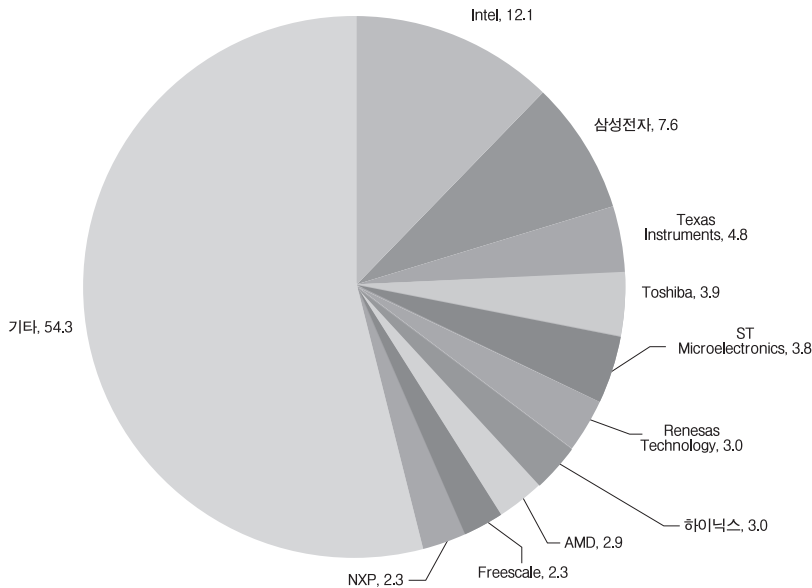
구 분	2005	2010	2015	2020	CAGR	
					2005-2010	2010-2020
시장 규모	227,484	394,860	598,520	861,210	11,7	8,1
수출 규모	130,166	232,970	365,090	553,170	12,3	9,0

- 국내외 반도체 회사의 매출액 및 순위를 살펴보면 20대 반도체 회사 중에서 미국 8개사, 일본 6개사, 유럽 3개사, 한국 2개사, 대만 1개사가 있으며 이중에서 TSMC는 파운드리 회사, Qualcomm, Nvidia, Broadcom은 펌리스 회사임

〈표 6〉 세계 반도체 매출액 기준 20대 기업 (IC Insights, 2008.10, 단위: 백만달러)

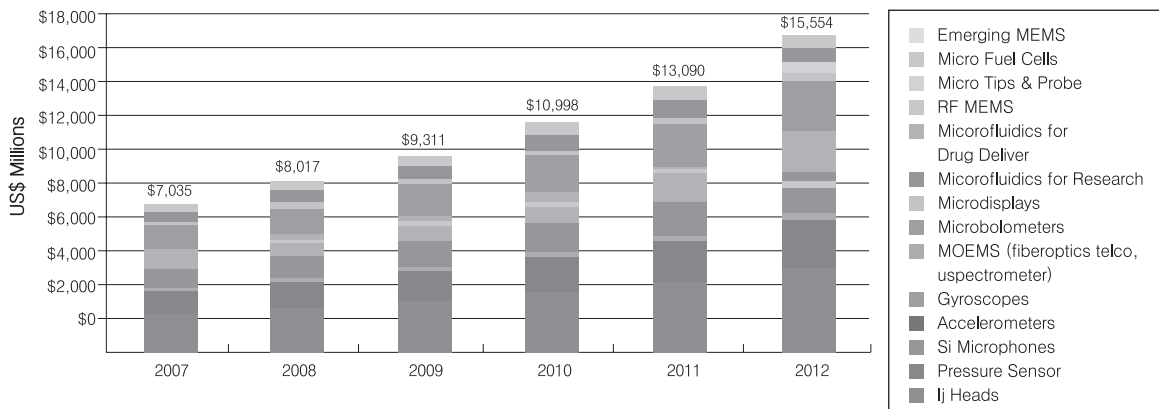
순위	기업	매출액	국가	순위	기업	매출액	국가
1	Intel	17,496	미국	11	Infinition	3,146	유럽
2	Samsung	11,187	한국	12	NEC	2,998	일본
3	TI	6,366	미국	13	Micron	2,920	미국
4	Toshiba	5,844	일본	14	NXP	2,888	유럽
5	TSMC	5,661	대만	15	AMD	2,854	미국
6	ST	4,570	유럽	16	Freescale	2,693	미국
7	Renesas	4,337	일본	17	Fujitsu	2,334	일본
8	Hynix	3,499	한국	18	Panasonic	2,228	일본
9	Sony	3,430	일본	19	Nvidia	2,143	미국
10	Qualcomm	3,382	미국	20	Broadcom	2,139	미국

- 국내외 반도체 회사의 시장 점유율을 살펴보면 비메모리 반도체가 주력인 Intel이 12.1%로 가장 높고, 메모리 반도체가 주력인 삼성전자가 7.6%로 그 다음을 차지하고 있음



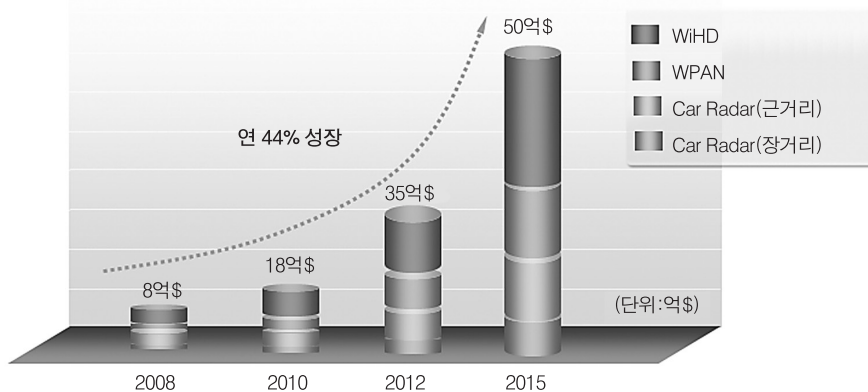
(그림 5) 주요 반도체 회사의 시장 점유율 (Supply, 2006)

- MEMS 소자 및 센서의 규모는 2012년까지 140억불에 이를 것으로 전망하고 있음. 이는 2007년 시장규모인 71억불의 약 2배에 해당하는 규모로서 연평균 14%에 해당하는 높은 성장률로 시장이 확대되고 있음. 센서 시장 규모는 자동차용 센서시장의 확대, 의료 및 바이오 센서의 신시장 창출, 그리고 환경에 대한 관심의 증가로 계속 확장되고 있음 특히 자동차용 센서 시장규모는 전체 센서 시장의 27 % (2007년 기준)를 차지하고 있으며, 지속적인 성장이 기대됨. 또한 의료/바이오, 환경에 관련된 센서 시장은 2002년 57억불 규모에서 2012년 111억불로 2배가량의 성장이 예측됨. 한편 단위 칩의 개수로 환산한 시장규모는 2007년 현재 약 25억개의 소자가 생산되고 있으며, 2012년에는 약 67억개의 MEMS 소자 및 센서가 생산될 것으로 예측되고 있음



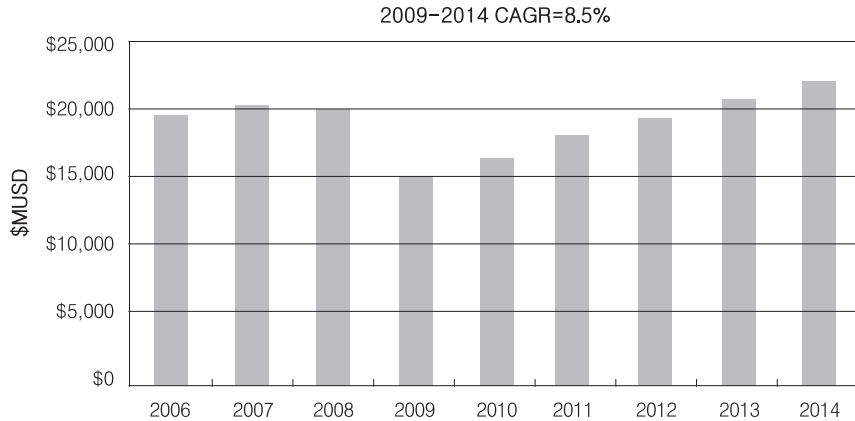
(그림 6) 세계 MEMS 센서 시장 예측 (Yole Development, 2007)

- mm과 SoC의 세계시장은 WiHD와 차량용 레이더가 1차적인 시장 견인을 할 것으로 기대됨. 2007년 Yano 보고서에 따르면 mm과 SoC가 2008년에 약 8억불 규모에서 연평균 44% 성장하여 2015년에는 약 50억불 규모로 증가할 것으로 예측하였으며 이중에서 패키징에 소요되는 비용을 30%로 가정할 경우에는 15억불 규모의 세계시장이 형성될 것으로 기대함
- mm과 SoC 패키징을 생산하는 주요 업체로는 Murata, Kyocera, Matsushita, Dupont, Ahashi Glass, Hitachi, Bosch, Fujitsu, NEC, Denso 등 주로 일본이 대부분이고 미국과 독일도 포함되어 있음
- mm과 SoC 패키징 분야의 주요 업체별 동향을 살펴보면, 재료분야의 초저손실 및 무수축 공정 관련된 특허를 Murata 55건, Kyocera 25건, Matsushita 14건, Dupont 7건, Ahashi Glass 6건을 보유하고 있으며 2000년 이후에 특허 출원이 급증하였고, 설계분야에서는 Hitachi 16건, Bosch 14건, Fujitsu 12건, NEC 10건, Denso 10건을 보유하고 있고 시스템 관련 특허가 주류를 이루고 있음



(그림 7) mm과 SoC 시장 규모 (Yano Report, 2007)

- EMC 시장으로 분류할 수 있는 분야는 우선적으로 자동차용 반도체 시장을 들 수 있으며, 그 이유로는 근래에 제정된 IC관련 EMC규격(IEC62132)은 차량용 반도체에 가장 먼저 적용될 것으로 전망되기 때문임. 이외에도 로봇, u-healthcare, 항공기 등에 적용되는 반도체에 위 IEC표준은 규제목적으로 사용될 것으로 예측됨. 따라서 자동차용 반도체 시장은 EMC 시장으로 분류될 수 있으므로 이에 대한 시장 예측은 Databeans에서 발행한 자료를 근거로 살펴보면 다음과 같음
- Databeans에서 예측하는 자동차용 반도체 시장은 최근의 경제위기로 인해 2008년 200억불 정도이던 시장규모가 매년 25% 하락하다가 2012년에 200억불 규모로 회복될 것으로 예측됨



(그림 8) 세계 자동차용 반도체 시장 규모 (Databeans, 2009.2)

## 2.2. 기술개발 현황 및 전망

### 2.2.1. 국내 기술개발 현황 및 전망

- 정부정책기조
  - 옛 정보통신부는 개인소득 2만불 달성을 위한 국가차원의 산업육성 정책으로 2003년부터 IT839 전략을 추진하였고, 2005년에 u-IT839 전략으로 개편된 바 있다. SoC는 오랫동안 IT839 전략 및 u-IT839 전략의 핵심 산업으로 자리잡아왔음. 현 정부 출범 이후에 정보통신부가 산업자원부와 통합하여 지식경제부가 발족한 이후에도 IT SoC는 국가 핵심 산업으로서의 위치를 확고히 하고 있으며, 지식경제부의 최고 역점 분야의 하나로 정부의 집중적인 지원을 받고 있음
  - 정부의 SoC 산업 정책 기조는 신성장 동력과 직결되는 핵심 부품 기술개발에 역점을 두고 차세대성장동력 등 범 부처 사업과의 연계강화를 통해 시너지를 극대화하는 것임. 이를 위하여, IT 산업의 고부가가치화를 위한 핵심부품개발을 강화, 시스템의 경쟁력 확보를 위해 필수적인 품목을 집중지원 육성, 차세대 전략 분야의 리더십 확보를 위한 국제 표준화 지원을 강화, 차세대 이동통신 등 국내 선도기술을 국제 표준에 전략적으로 반영하고 한·중·일 표준화 협력 등을 통한 제후를 확대하고 기술개발-표준화-인력양성 사업간 연계를 강화하고 있음. 기술개발 수행기관등 R&D 사업의 수행 주체 간에 협력 네트워크를 강화하며 차세대 성장 동력 산업의 성과 제고를 위한 End product 중심의 기술개발과 IT 강국의 질적 도약을 위한 핵심원천기술 개발을 병행하고 있음

### • 국책연구소

- 국책연구소는 주로 한국전자통신연구원 (ETRI) 및 전자부품연구원 (KETI)을 주축으로 SoC 연구가 진행되고 있으며, 특히 ETRI는 시스템반도체진흥센터를 통해 SoC에 관련된 산학연 연구 역량을 집결하는 시스템을 구축하였음
- ETRI는 시스템반도체진흥센터를 운영함으로써 (1) 시스템반도체 산업에 필요한 고급 설계 인력의 양성, (2) 시스템반도체 산업에 필요한 기반 기술 및 설계 기술의 개발, (3) 중소 벤처업체를 위한 HW, SW, 에뮬레이션, 시험장비, 설계환경의 지원, (4) 창업보육사업과 마케팅 네트워크 구축 및 국내외 협력추진 사업을 수행 중에 있음
- 또한 ETRI는 융합부품·소재부문을 설립하여 미래 유망 산업인 융합 기술의 구현 기술로서 시스템반도체 기술을 적극 연구 개발하고 있으며, 각종 대형 국책 연구과제를 통해 IT 산업의 핵심인 중장기 대규모 연구개발 사업으로 미래 성장 동력을 위한 원천기술을 개발하고 있다. 또한 IT 신성장동력 및 핵심 인프라 기술개발, 부가가치 제고를 위한 핵심부품개발을 진행하고 있음

### • 산업계

- 국내 산업계는 크게 SoC 설계 개발 회사, SoC 생산 회사, 파운드리 서비스 업체로 구분할 수 있으며 국내 SoC 기업의 주요 제품은 메모리 부품과 디스플레이 관련 부품, 멀티미디어 관련 부품 등을 들 수 있음
- 메모리 부품은 DRAM, SRAM, 플래시 메모리가 주력을 이루고 있으며, 명실공히 세계 최고의 기술력과 시장 점유율을 가지고 있음. 특히 삼성전자와 하이닉스 반도체는 각각 세계 1위와 3위의 메모리 생산 업체로서 국내 SoC 산업을 선도하고 있음
- 디스플레이 부품은 크게 디스플레이 패널 자체의 생산과 디스플레이 구동용 반도체인 LDI (LCD Driver IC)를 들 수 있으며 세계 최고 수준의 기술력과 시장 점유율을 가지고 있음
- 멀티미디어 부품은 초기에는 휴대전화에 사용되는 CIS (CMOS Image Sensor) 제품으로 시작하여 CCP (Camera Control Processor), CSP (Camera Signal Processor), MMP (Mobile Multimedia Platform)로 확대되고 있음
- 국내 반도체 산업은 제조 분야에서는 메모리 제품 중심, 설계 분야에서는 디스플레이 부품 및 멀티미디어 부품 중심으로 발전하였으며, 주문에 의한 반도체 생산을 담당하는 파운드리 분야는 크게 활성화되지 못하고 있음
- 옛 IT-SoC협회가 통합된 한국반도체산업협회에는 100여개의 국내 중소 IT-SoC 전문 업체가 가입되어 있으며, 애플비전, 코아로직 등 휴대전화의 멀티미디어 칩 관련 제품을 공급하는 회사가 국내 선두기업으로 자리잡고 있음

### • 학계

- 국내 대학은 일찍부터 SoC 설계 인력 양성 및 설계 기술 개발에 노력해왔으며, 한국과학기술원의 IDEC (IC Design Education Center), 서울대학교의 SoC 설계 기술 사업단, 광운대학교의 IP/SoC 사업단 등의 대형 사업단, 기타 지식경제부와 교육과학기술부의 지원을 받는 다수의 ITRC와 ERC를 통해 활발한 인력 양성 및 기술 개발이 이루어지고 있음

## 2.2.2. 국외 기술개발 현황 및 전망

### • 미국

- 미국은 SoC 분야에서 세계 선도 기업인 Intel과 Qualcomm 등 다수의 기업을 보유하고 있기 때문에 정부 차원에서 SoC 산업을 지원하고 있지는 않지만 이들 기업이 세계 반도체 시장을 자체적으로 선도하고 있음. 특히 SoC 설계 자동화 (EDA), SoC 설계 기술 개발에 있어서는 거의 독보적인 위치를 차지하고 있음
- 표준화 측면에서는 VSIA (Virtual Socket Interface Alliance)를 통하여 IP 설계 기술, IP 유통 표준, IP 검증 및 테스트 기술 등의 분야에서 많은 표준화 작업을 주도적으로 진행하였으며, 2007년 이후 IEEE DASC (Design Automation Standards Committee)에서 이들 표준화 작업을 계승하여 진행하고 있음

## • 유럽

- 유럽은 예전에 비해 SoC 산업에서의 경쟁력이 많이 약화되었으나, 그럼에도 불구하고 강력한 핵심 기술을 가진 다수의 기업이 포진하고 있음. 대표적인 기업으로는 세계 최대의 IP Core 공급자인 ARM을 들 수 있음
- 유럽은 국가간의 공동 연구가 활발하게 이루어지고 있으며, 벨기에의 IMEC이 기초 연구를, 프랑스의 D&R이 IP 유통 센터를, 스웨덴의 SoCware가 연구 클러스터를 형성하고 있음
- 표준화 측면에서는 최근 들어 SPIRIT (Structure for Packaging, Integrating, and Reusing IP within Tool Flows)를 통하여 미국의 VSIA에 맞서 IP 설계 기술, IP 유통 표준, IP 검증 및 테스트 기술 등의 분야에서 많은 표준화 작업을 진행하고 있음. SPIRIT가 개발한 표준은 IEEE 표준안의 예비 단계인 P1685로 승인받아 현재 IEEE에서 표준안 승인을 검토 중이며, 곧 IEEE 표준안으로 자리잡을 전망이다

## • 일본

- 한때 세계 최고의 반도체 강국이었던 일본은 최근 들어 SoC 산업에서의 경쟁력이 많이 약화되었는데, 그 이유로는 일본의 반도체 기업들이 대부분 종합 전자회사의 일부로서 설계에서 판매까지 포괄적으로 담당하고 있기 때문에 특정 제품에 집중하기 보다는 다양한 제품을 폭넓게 취급하였기 때문에 특정 분야에 집중해야 할 기술 개발과 제품 생산이 분산되었기 때문으로 생각됨
- 이러한 문제점을 타개하기 위해 일본에서는 반도체 분야의 합병이 활발히 이루어졌는데 르네사스 (Renesas), 엘피다 (Elpida)가 대표적인 예임. 또한 국가적으로 산학 협력을 지원하기 위해 STARC (Semiconductor Technology Academic Research Center)를 설립하여 기술 개발 및 인력 양성에 노력하고 있음

## • 대만

- 대만은 전통적으로 PC를 비롯한 전자 부품 및 전자 제품 산업이 발달하였으며, 이를 바탕으로 수많은 팹리스 업체가 발달하였고, 세계 1,2위의 파운드리 업체인 TSMC와 UMC가 세계 파운드리 시장의 70% 이상을 점유하고 있음 대만의 반도체 기업은 파운드리, 어셈블리, 테스트 가운데 공정이나 특정 분야에 특화된 기업이 많고 이들 기업군이 체계적인 분업 구조를 형성하고 있음
- 연구 개발 측면에서는 1974년 설립된 ITRI (Industrial Technology Research Institute) 산하의 ERSO (Electronic Research & Service Organization)와 STC (SoC Technology Center)가 국가 규모의 SoC 기술 개발 및 인력 양성을 주도하고 있음

## 2.3. 표준화 현황 및 전망

### 2.3.1. 국내 표준화 현황 및 전망

## • TTA

- TTA는 2004년부터 SoC 표준화 지원의 일환으로 SoC 프로젝트 그룹인 PG417을 구성하여 SoC 표준화 활동을 진행하고 있음. 현재 PG417에서는 IP 등록 표준(2005), IP Numbering 표준(2006), SoC 설계 사양 표준(2007), IP계약서 표준(2008), IP 품질 평가 표준(2008), SoC 등록 표준(2008), HDL Coding Guideline(2008)이 제정되었고, IP 전달물 표준(2009), AMS(Analog Mixed Signal) Design Guideline(2009)이 제정 중에 있으며 SiP에서의 Netlist Assignment Guideline, 무선전력송수신장치 표준 등을 추진 중에 있음

## • 기술표준원

- 정부는 기술표준원의 디지털전자표준과를 통해 반도체, 디스플레이 분야 표준화 지원을 해 오고 있는데 주로 IEC(International Electrotechnical Commission) 국제표준기구 활동 관련 지원을 하고 있으며 이를 위해 국내 Mirror

Committee인 반도체전문위원회, 디스플레이전문위원회 등을 운영하고 있음

- 반도체전문위원회는 IEC의 SC47A(Integrated Circuit), SC47D(Package), SC47E(Discrete Semiconductor Devices), SC47F(Micro Electro Mechanical Systems)의 활동영역을 다루고 있음. 따라서 SoC표준은 SC47A의 활동영역에 속해 있으며 현재 SC47A의 WG(Working Group)는 EMC(Electro Magnetic Compatibility)를 다루고 있는데 WG2는 IC의 EMC Modeling분야를, WG9은 IC의 EMC측정 분야를 다루고 있음. 이미 IC의 EMC측정표준이 2009년 초에 제정되었는데 이 표준이 EMC 규제수단으로 작용이 될 경우 국가적인 대응을 할 필요가 있음

#### • SoC Forum

- TTA가 지원하고 한국반도체산업협회가 주관하는 SoC Forum은 산·학·연 전문가들이 모여 국내 SoC 분야의 기술/정책 방향 수립 및 표준화 추진 등의 역할을 수행하고 있음. SoC Forum은 자문위원회, 운영위원회, 분과위원회로 구성되었으며, SoC 산업 관련 기업, 대학, 기관 등이 모여 의견을 교류, 상호 협력을 활성화하는 역할을 수행함

#### • Asian IP/SoC Meeting

- Asian IP/SoC Meeting은 한국의 반도체산업협회, 일본의 IPTC, STARC, 대만의 SoC Consortium, VDEC 등의 기관이 모여, 2002년 가을부터 아시아권 국가들의 IP/SoC 산업 발전에 대하여 논의하는 컨소시엄임. 2002년부터 매년 봄, 가을 두 번의 회의로 진행되며, 장소는 한국, 일본, 대만, 홍콩 4국이 돌아가며 개최하고 있음
- 아시아 IP/SoC 기술회의는 VSIA가 주도하고 있던 표준화 추진과는 차별화된, 유통 및 데이터베이스 공유를 위한 IP 분류법, IP 평가 항목 등을 주제로 논의되고 있으므로 추후 국제 유통 표준을 선도할 수 있는 기회가 될 것이라 예상됨
- 현재 Asian IP/SoC Meeting이 공동 협의하고 있는 사항은 (1) HDL 코딩 방법을 포함한 IP 품질 평가 표준 공동 제정, (2) IP 데이터베이스 공유, (3) IP 유통을 위한 IP Numbering 표준 공동 제정 등이며 최근에는 저전력표준에 대한 이슈도 다루고 있음

### 2.3.2. 국외 표준화 현황 및 전망

- SoC 관련 표준화는 미국의 VSIA를 중심으로 진행되어 왔으나, 2007년 7월로 그 활동을 종료하고 표준 제정 등의 작업을 IEEE DASC를 비롯한 타 기관으로 이관하였음. VSIA를 계승한 IEEE DASC의 표준화 작업은 공신력 있는 국제학회인 IEEE가 SoC 관련 표준화를 직접 진행한다는 면에서 보다 발전적인 의미를 가짐
- VSIA는 그 활동을 종료하였으나 지금까지의 결과물이 폐기된 것은 아니며, 오히려 IEEE DASC로 이관되면서 좀 더 널리 보급될 것으로 보임. 활동 종료 전까지 VSIA가 발표한 Specifications, Standards, Technical Documents는 다음과 같음

〈표 7〉 VSIA의 Specifications (2007년 7월 현재)

Document Name	Version	Authors	Date Issued
Analog/Mixed-Signal VSI Extension Specification (AMS 1,2,2)	1,2,2	Analog/Mixed-Signal DWG	Revised 2001,2 Released 1999,11
Analog/Mixed-Signal Signal Integrity VSI Extension Specification (AMS 2,1,0)	1,0	Analog/Mixed-Signal DWG	Revised 2002,3 Released 2002,3
On-Chip Bus Attributes Specification (OCB 1,2,0)	1	On-Chip Bus DWG	Revised 2001,9 Released 1998,8
Signal Integrity Specification (IMP 1,2,0)	1	SI Sub-DWG of the Implementation DWG	Released 2004,1
Soft and Hard VC Structural, Performance and Physical Modeling Specification (I/V 1,2,1)	2,1	Implementation/ Verification DWG	Revised 2001,1 Released 1999,5
VC/SoC Functional Verification Specification (VER 2,1,0)	1	Functional Verification DWG	Released 2004,3
Test Data Interchange Formats and Guidelines for VC Providers Specification (TST 1,1,1)	1	Manufacturing Related Test DWG	Revised 2001,1 Released 1999,6
Virtual Component Transfer Specification (VCT 1,2,1)	2	Virtual Component Transfer DWG	Revised 2001,1 Released 1999,10

〈표 8〉 VSIA의 Standards (2007년 7월 현재)

Document Name	Version	Authors	Date Issued
System-Level Interface Behavioral Documentation Standard (SLD 1,1,0)	1	System-Level Design DWG	Revised 2000,3 Released 2000,3
Test Access Architecture Standard (TST 2,1,0)	1	Manufacturing-Related Test DWG	Revised 2001,9 Released 2001,9
Virtual Component Attributes (VCA) with Formats for Profiling, Selection and Transfer Standard (VCT 2,2,3)	2	Virtual Component Transfer DWG	Revised 2003,3 Released 2001,3
Hard Intellectual IP (IP) Tagging Standard	2,0	Intellectual Property Protection DWG	Released 2000,6 Revision Released 2006,11
Soft Intellectual Property (IP) Tagging Standard	1,0	Intellectual Property Protection DWG	Released 2004,8 Revision Released 2006,11
Virtual Component Interface Standard (OCB 2,2,0)	2	On-Chip Bus DWG	Revised 2001,4 Released 2000,3

〈표 9〉 VSIA의 Technical Documents (2007년 7월 현재)

Document Name	Version	Authors	Date Issued
VSIA Architecture Document		VSI Alliance	Released 1997,3
VSIA Deliverables Document	2,6,0	VSI Alliance	Revised 2002,5
Intellectual Property Protection White Paper: Schemes, Alternatives and Discussion (IPPWP 1 1,1)	1	Intellectual Property Protection DWG	Revised 2001,1 Released 2000,8
White Paper: The Value and Management of Intellectual Assets (IPPWP 2 1,0)		Intellectual Property Protection DWG	Revised 2002,6 Released 2002,6
Technical Measures and Best Practices for Securing Proprietary Information (IPPWP 3 1,0)	1,0	Intellectual Property Protection DWG	Revised 2002,11 Released 2002,11
Platform-Based Design Taxonomy Version 1 (PBD 11,0)		Platform-Based Design DWG	Member review ended 2003,12
VSIA System Level Design Model Taxonomy Document (SLD 2 2,1)	2	System-Level Design DWG	Released 2001,7
Taxonomy of Functional Verification for Virtual Component Development and Integration (VER 1 1,2)	1	Functional Verification DWG	Released 2001,1
VSIA QIP Metric version 3,1	1,11		Released 2004,6
Hard IP Tag Reader/Writer	1,1	IP Protection	Released 2006,11
Virtual Component Interface Standard (OCB 2,2,0)	2	On-Chip Bus DWG	Revised 2001,4 Released 2000,3

- VSIA의 활동 종료 이후 SoC 관련 표준화를 넘겨받은 IEEE DASC는 SoC 기술 전반에 걸쳐서 다양한 활동을 진행하고 있음. IEEE DASC에서 SoC 관련 표준화 활동을 진행하고 있는 Working Group은 다음과 같음

〈표 10〉 IEEE DASC의 Working Group (2009년 7월 현재)

Project Number	Working Group	Status
P1076	Standard VHDL Language Reference Manual	Active
P1076.1	Standard VHDL Analog and Mixed-Signal Extensions	Active
P1076.1.1	Standard VHDL Analog and Mixed-Signal Extensions - Packages for Multiple Energy Domain Support	Active
P1076.2	IEEE Standard VHDL Mathematical Packages	Inactive
P1076.3	Standard VHDL Synthesis Packages	Inactive
P1076.4	Standard VITAL ASIC Modeling Specification	Active
P1076.6	Standard for VHDL Register Transfer Level Synthesis	Inactive
P1164	Standard Multivalue Logic System for VHDL Model Interoperability	Inactive
P1364	Standard for Verilog Hardware Description Language	Active
P1364.1	Standard for Verilog Register Transfer Level Synthesis	Inactive
P1481	Standard for Integrated Circuit Open Library Architecture	Active
P1497	Standard for Standard Delay Format for the Electronic Design Process	Inactive
P1499	Standard Interface for Hardware Description Models of Electronic Components	Inactive
P1577	Object Oriented VHDL	Inactive
P1603	Standard for an Advanced Library Format Describing Integrated Circuit Technology, Cells, and Blocks	Inactive
P1604	Library IEEE	Inactive
P1647	Standard for the Functional Verification Language 'e'	Active
P1666	Standard System C Language Reference Manual	Inactive
P1685	SPIRIT XML Standard for IP Description	Active
P1699	Rosetta System Level Design Language Standard	Active
P1778	ESTEREL v7 Language Standardization	Active
P1800	SystemVerilog: Unified Hardware Design, Specification and Verification Language	Active
P1801	Standard for the Design & Verification of Low Power ICs	Active
P1850	Standard for PSL: Property Specification Language	Active

- 현재 SoC표준을 다루는 국제표준기구는 IEC를 들 수 있으며 IEC 산하에 TC(Technical Committee)47이 Semiconductor Devices를 그 활동영역으로 하고 있음. TC47산하에는 SC47A(Integrated Circuit), SC47D(Package), SC47E(Discrete Semiconductor Devices), SC47F(Micro Electro Mechanical Systems)의 4개의 SC(Sub Committee)로 구성이 된다.. 따라서 SoC표준은 SC47A의 활동영역에 속해 있으며 현재 SC47A의 WG(Working Group)는 EMC(Electro Magnetic Compatibility)를 다루고 있는데 WG2는 IC의 EMC Modeling 분야를, WG9은 IC의 EMC측정 분야를 다루고 있음. WG2와 WG9의 의장은 각각 일본인과 프랑스인이며 각 WG의 멤버 역시 일본, 프랑스, 독일 등이 주요 멤버로 활동하고 있으며 최근에 한국도 활발한 활동을 하고 있음

## 2.4. 표준화 대상항목별 현황 요약

구분		IP 설계 및 검증 기술	IP 유통 표준
표준화 대상항목		<ul style="list-style-type: none"> <li>- HDL Coding</li> <li>- IP Interface</li> <li>- AMS IP</li> <li>- Platform-Based Design</li> <li>- IP Verification</li> <li>- IP Testability</li> </ul>	<ul style="list-style-type: none"> <li>- IP 전달물</li> <li>- IP 품질 평가</li> <li>- IP 보호</li> <li>- IP Numbering</li> </ul>
시장현황 및 전망	국내	시장 확립	시장 정립중
	국외	시장 확립	시장 정립중
기술개발 현황 및 전망	국내	본격 응용 기술 연구중, 제품 상용화중	본격 응용 기술 연구 중
	국외	본격 응용 기술 연구중, 제품 상용화중	본격 응용 기술 연구 중
기술개발 수준	국내	HDL Coding: 상용화 IP Interface: 구현 AMS IP: 상용화 Platform-Based Design: 시제품/프로토타입 IP Verification: 구현 IP Testability: 구현	IP 전달물: 상용화 IP 품질 평가: 상용화 IP 보호: 구현 IP Numbering: 상용화
		HDL Coding: 상용화 IP Interface: 구현 AMS IP: 상용화 Platform-Based Design: 시제품/프로토타입 IP Verification: 구현 IP Testability: 구현	IP 전달물: 상용화 IP 품질 평가: 상용화 IP 보호: 구현 IP Numbering: 상용화
	기술격차	-2년	-1년
	IPR 보유 현황	없음	없음
IPR 확보 가능 분야		HDL 코딩 가이드라인, IP Interface 가이드라인, AMS IP 가이드라인, IP Verification 방법, IP Testability 방법	표준 IP 전달물, IP 품질 평가 체계, IP 보호 체계, IP Numbering 체계
IPR 확보 가능성		HDL Coding: 높음 IP Interface: 높음 AMS IP: 높음 Platform-Based Design: 보통 IP Verification: 높음 IP Testability: 높음	IP 전달물: 높음 IP 품질 평가: 높음 IP 보호: 높음 IP Numbering: 높음
표준화 현 황 및 전망	국내	SoC Forum 및 TTA PG417을 중심으로 표준화가 활발히 진행중	SoC Forum 및 TTA PG417을 중심으로 표준화가 활발히 진행중
	국제	국제 기구 및 EDA 업체를 중심으로 표준화가 활발히 진행중	국제 기구 및 EDA 업체를 중심으로 표준화가 활발히 진행중
표준화격차		-2년	-1년
표준화 수준	국내	HDL Coding: 제/개정 IP Interface: 기획 AMS IP: 제/개정 (2009년 예정) Platform-Based Design: 기획 IP Verification: 기획 IP Testability: 기획	IP 전달물: 제/개정 (2009년 예정) IP 품질 평가: 제/개정 IP 보호: 기획 IP Numbering: 제/개정
	국제	HDL Coding: 제/개정 IP Interface: 개발/검토 AMS IP: 제/개정 Platform-Based Design: 기획 IP Verification: 개발/검토 IP Testability: 개발/검토	IP 전달물: 제/개정 IP 품질 평가: 제/개정 IP 보호: 개발/검토 IP Numbering: 제/개정
표준화 기구/단체	국내	SoC Forum, TTA PG417	SoC Forum, TTA PG417
	국제	IEC, IEEE DASC, SPIRIT, SI2, Accellera	IEC, IEEE DASC, SPIRIT, SI2, Accellera
	국내참여업체/ 기관	ETRI, KETI	ETRI, KETI
	국내기여도	보통	높음
국내 표준화 인프라 수준		HDL Coding: 높음 IP Interface: 높음 AMS IP: 높음 Platform-Based Design: 보통 IP Verification: 높음 IP Testability: 매우높음	IP 전달물: 매우높음 IP 품질 평가: 높음 IP 보호: 높음 IP Numbering: 높음
개발 주체	표준 개발	포럼, TTA, 기술표준원	포럼, TTA, 기술표준원
	기술 개발	연구소, 학계	연구소, 학계

구분		고에너지효율 기술	Chip-Package Codesign
표준화 대상항목		- Chip-Level Power Management	- Netlist Assignment - SI 및 Power
시장현황 및 전망	국내	시장 정립중	시장의 관심도는 높으나 시장 자체는 아직 미성숙
	국외	시장 확립	시장 정립중
기술개발 현황 및 전망	국내	본격 응용 기술 연구중	기초 기술 연구중
	국외	본격 응용 기술 연구중, 제품 상용화중	본격 응용 기술 연구중
기술개발 수준	국내	Chip-Level Power Management: 시제품/프로토타입	Netlist Assignment: 시제품/프로토타입 SI 및 Power: 시제품/프로토타입
	국외	Chip-Level Power Management: 상용화	Netlist Assignment: 상용화 SI 및 Power: 상용화
	기술격차	-2년	-3년
IPR 보유 현황	국내	없음	없음
	국외	없음	없음
IPR 확보 가능 분야		Power Management 방법	Netlist Assignment 가이드라인, SI 및 Power 측정 방법, SI 및 Power 인증 체계
IPR 확보 가능성		Chip-Level Power Management: 매우 높음	Netlist Assignment: 높음 SI 및 Power: 매우높음
표준화 현 황 및 전망	국내	SoC Forum 및 TTA PG417을 중심으로 표준화 진행 준비중	SoC Forum 및 TTA PG417을 중심으로 표준화 진행 착수
	국제	국제 기구 및 SoC 업체를 중심으로 표준화가 활발히 진행중	국제 기구 및 EDA 업체를 중심으로 표준화 진행 착수
	표준화격차	-2년	-3년
표준화 수준	국내	Chip-Level Power Management: 기획	Netlist Assignment: 기획 SI 및 Power: 기획
	국제	Chip-Level Power Management: 개발/검토	Netlist Assignment: 항목승인 SI 및 Power: 항목승인
표준화 기구/단체	국내	SoC Forum, TTA PG417	SoC Forum, TTA PG417
	국제	IEC, IEEE DASC, SPIRIT, SI2, Accellera	IEC, IEEE DASC, SPIRIT, SI2, Accellera
	국내참여업체/기관	ETRI, KETI	ETRI, KETI
	국내기여도	보통	보통
국내 표준화 인프라 수준		Chip-Level Power Management: 높음	Netlist Assignment: 높음 SI 및 Power: 높음
개발 주체	표준 개발	포럼, TTA, 기술표준원	포럼, TTA, 기술표준원
	기술 개발	연구소, 학계	연구소, 학계

구분		부품 기술	EMC 기술
표준화 대상항목		- MEMS 센서 패키징 - mm파 SoC 패키징 - USN 센서 하드웨어 인터페이스	- Chip-Level EMC
시장현황 및 전망	국내	시장 정립중	시장의 관심도는 높으나 시장 자체는 아직 미성숙
	국외	시장 확립	시장 정립중
기술개발 현황 및 전망	국내	본격 응용 기술 연구중	기초 기술 연구중
	국외	본격 응용 기술 연구중, 제품 상용화중	본격 응용 기술 연구중
기술개발 수준	국내	MEMS 센서 패키징: 구현 mm파 SoC 패키징: 구현 USN 센서 하드웨어 인터페이스: 구현	Chip-Level EMC: 시제품/프로토타입
	국외	MEMS 센서 패키징: 상용화 mm파 SoC 패키징: 상용화 USN 센서 하드웨어 인터페이스: 상용화	Chip-Level EMC: 상용화
	기술격차	-2년	-3년
IPR 보유 현황	국내	없음	없음
	국외	없음	없음
IPR 확보 가능 분야		표준 MEMS 센서 패키징, 표준 mm파 SoC 패키징, 표준 USN 센서 하드웨어 인터페이스	EMC 측정 방법, EMC 인증 체계
IPR 확보 가능성		MEMS 센서 패키징: 높음 mm파 SoC 패키징: 높음 USN 센서 하드웨어 인터페이스: 높음	Chip-Level EMC: 높음
표준화 현 황 및 전망	국내	SoC Forum 및 TTA PG417을 중심으로 표준화 진행 준비중	SoC Forum 및 TTA PG417을 중심으로 표준화 진행 착수
	국제	국제 기구를 중심으로 표준화 진행 준비중	국제 기구 및 EDA 업체를 중심으로 표준화 진행 착수
	표준화격차	-2년	-3년
표준화 수준	국내	MEMS 센서 패키징: 기획 mm파 SoC 패키징: 기획 USN 센서 하드웨어 인터페이스: 기획	Chip-Level EMC: 기획
	국제	MEMS 센서 패키징: 항목승인 mm파 SoC 패키징: 항목승인 USN 센서 하드웨어 인터페이스: 항목승인	Chip-Level EMC: 항목승인
표준화 기 구/단체	국내	SoC Forum, TTA PG417	SoC Forum, TTA PG417
	국제	IEC, IEEE DASC, SPIRIT, SI2, Accellera	IEC, IEEE DASC, SPIRIT, SI2, Accellera
	국내참여업체/ 기관	ETRI, KETI	ETRI, KETI
	국내기여도	보통	높음
국내 표준화 인프라 수준		MEMS 센서 패키징: 높음 mm파 SoC 패키징: 높음 USN 센서 하드웨어 인터페이스: 높음	Chip-Level EMC: 높음
개발 주체	표준 개발	포럼, TTA, 기술표준원	포럼, TTA, 기술표준원
	기술 개발	연구소, 학계	연구소, 학계

### 3. 표준화 추진전략

#### 3.1. 중점기술의 표준화 환경분석

##### 3.1.1. 표준화 추진상의 문제점 및 현안사항

- 가장 많은 표준화 작업이 진행되어온 IEEE DASC, SPIRIT 등의 표준은 강제성을 가지지 않는 사실상의 표준(De facto standard)이나, 대부분의 기업들이 이들 표준을 권고안으로 반영하고 있기 때문에 국제 표준에 근접하게 인정받고 있음. 그러나 국내 기업들은 이들 표준화 활동에 매우 소극적인 경향을 보이고 있어서 우리나라가 표준 경쟁에서 뒤처질 우려가 높음
- 최근 들어 활발하게 표준화 작업을 시작한 SI2와 Accellera의 경우 국내 기업체, 연구소, 대학 등의 참여가 전무한 실정임. 비록 이들 두 기관이 국내에서 그다지 활발하게 발달하지 않은 분야를 다룬다고 하더라도 이들 두 기관에서 제정된 표준은 SoC 설계에서 큰 비중을 차지하는 IP 설계 및 EDA 툴 개발에 적용되기 때문에 국내에서도 이들 두 기관에의 적극적인 참여가 절실히 요구됨
- 국내에 IP/SoC 분야의 설계방법론 등 표준화가 시도되고 있으나, 학계의 연구 활동에 집중되어 있는 실정이며, 산업계에서는 국내 표준화 활동과 국내 표준의 적용에 많이 관심을 기울이지 않는 실정임. 따라서 국내에서 제정된 표준이 가치를 인정받기 위해서는 산업 현장에서 실제적으로 사용될 수 있는 표준안을 제정하고, 기업들이 제품에 적용함으로써 표준화의 선순환적 발전을 위해서는 산·학·연의 공동된 컨소시엄 구성이 필요함. 즉, 표준화의 중요성을 인식하고 자발적으로 참여하여 공동된 표준화 사업이 실제적으로 진행될 수 있도록 하는 동기부여가 중요함
- 또한 Chip-Level Power Management, Netlist Assignment, SI 및 Power, MEMS 센서 패키징, mm파 SoC 패키징, USN 센서 하드웨어 인터페이스, Chip-Level EMC 등 산업계에서 활발하게 제품을 생산하고 있는 분야는 표준안 개발, 제품 설계, 제품 측정, 제품 인증, 제품 생산 등을 연계하여 함께 진행함으로써 표준안 단독 수준에서 그치는 것이 아니라 제품 생산과 관련 산업 활성화까지 이룰 수 있는 형태의 대형 표준화 사업이 절대적으로 필요함

### 3.1.2. SWOT 분석 및 표준화 추진방향

국내역량요인			강점 요인 (S)		약점 요인 (W)	
			시 장	- SoC의 최대 수요처인 모바일, 멀티미디어 등의 IT 산업 규모가 매우 큼 - 정부의 정책의지가 확고함	시 장	- 부품의 해외 의존도가 높음
국외환경요인			기 술	- 우수한 SoC 설계 기술력 및 인력을 보유함 - 메모리 반도체 분야는 세계 최고임 - 이동통신기기, DTV등의 IT 산업의 경쟁력이 매우 높음	기 술	- 설계 기술 및 EDA 톨 기술이 상대적으로 취약함
			표 준	- 정부의 정책의지가 확고함 (TTA 산하 PG417 설립)	표 준	- 국내의 기술 표준 작업이 크게 활성화되지 못함
기 회 요 인 (O)	시 장	- SoC의 최대 수요처인 모바일, 멀티미디어 산업이 급성장하고 있음 - 아시아 지역이 SoC의 생산과 소비 중심으로 발전하고 있음	<div style="display: flex; justify-content: space-between;"> <div> <p>- 현황분석에 의한 우선순위: 1</p> <p>- IP 거래 분야에서 쌓아온 실적을 바탕으로 IP 유통 분야의 표준을 선도</p> <p>- Chip-Package Codesign, Sensor 부품 등 새롭게 대두되는 기술 분야의 표준을 선도</p> </div> <div> <p>SO전략 : 공격적 전략(감점사용-기회활용)</p> <p>ST전략 : 다각화 전략(감점사용-위협회피)</p> </div> <div> <p>WO전략 : 만회전략(약점극복-기회활용)</p> <p>WT전략 : 방어적 전략(약점최소화-위협회피)</p> </div> </div>		<div style="display: flex; justify-content: space-between;"> <div> <p>- 현황분석에 의한 우선순위: 2</p> <p>- 일본, 대만, 중국, 홍콩과 공동으로 표준 제정</p> </div> <div> <p>전략</p> </div> </div>	
	기 술	- 모바일 기술, 멀티미디어 기술의 발전이 지속됨 - 유비쿼터스 기술, 바이오 기술, 나노 기술이 급격히 발전하여 SoC 기술이 융합 기술의 핵심으로 자리잡기 시작함				
	표 준	- 유통 표준 등 분야에서 국제 표준을 선도할 기회가 도래함				
위 협 요 인 (T)	시 장	- 국내 파운드리 산업의 경쟁력이 둔화됨 - 메모리 시장의 성장률이 둔화됨 - 아시아, 특히 중국의 급성장으로 인하여 국제 경쟁력이 감소함	<div style="display: flex; justify-content: space-between;"> <div> <p>- 현황분석에 의한 우선순위: 4</p> <p>- 비메모리 분야의 경쟁력을 강화할 수 있는 기술 분야의 표준 제정에 참여</p> </div> <div> <p>전략</p> </div> </div>		<div style="display: flex; justify-content: space-between;"> <div> <p>- 현황분석에 의한 우선순위: 3</p> <p>- 실질적 표준이라 하더라도 발빠르게 수용 및 적용하여 기술 종속을 최소화</p> </div> </div>	
	기 술	- 핵심 기술의 미확보로 인한 기술 종속의 우려가 있음				
	표 준	- 기술 표준 작업이 해외에서 주도적으로 진행됨				

#### • 현황분석을 통한 우선순위: SO전략 → WO전략 → WT전략 → ST전략

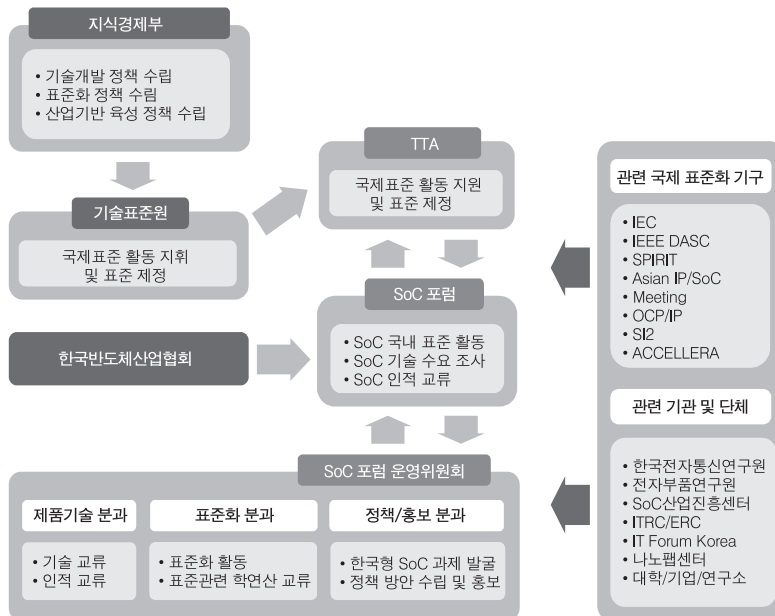
- SO 전략: 국내 역량의 강점과 기회를 활용하기 위해서는 그동안 IP 거래 분야에서 쌓아온 실적을 바탕으로 IP 유통 분야의 표준을 선도하며, 유비쿼터스 기술, 바이오 기술, 나노 기술의 발전으로 인하여 SoC 기술이 새롭게 융합 기술의 핵심으로 자리잡기 시작한 점을 감안하여 Chip-Level Power Management, Netlist Assignment, SI 및 Power, Chip-Level EMC 등 새롭게 대두되는 기술 분야에서 선도적인 역할을 수행함
- WO 전략: 기회를 활용하여 약점을 극복하기 위해서는 국내 파운드리 산업의 경쟁력이 둔화되고 아시아, 특히 중국의 반도체 산업이 급성장하는 점을 감안하여 일본, 대만, 중국과 협력하여 공동으로 표준을 제정함
- WT 전략: 약점을 최소화하고 위협을 회피하기 위해서는 정식 표준이 아닌 실질적 표준이라 하더라도 발빠르게 수용 및 적용하여 기술 종속을 최소화함
- ST 전략: 강점을 활용하여 위협요소를 회피하기 위해서는 비메모리 분야의 경쟁력을 강화할 수 있는 표준 제정에 참여함

- 표준화 추진방향: SO 전략을 중점 수행하고 WO 전략을 통해 보완

- SoC 분야에서 새롭게 대두되는 융합 기술은 정부의 강력한 지원에 힘입어 SoC 기술을 세계적으로 선도할 좋은 기회이므로 IP 거래 분야에서 쌓아온 실적을 바탕으로 IP 유통 분야의 표준을 선도하며 Chip-Level Power Management, Netlist Assignment, SI 및 Power, Chip-Level EMC 등 새롭게 대두되는 기술 분야의 표준을 선도하는 SO 전략을 중점적으로 수행하고, 일본, 대만, 중국과 협력하여 공동으로 표준을 제정하는 WO 전략을 통해 보완함

### 3.1.3. 표준화 추진체계

- IT-SoC 관련 국내 산·학·연을 중심으로 SoC 포럼을 통하여 국내 표준화 활동을 주도하고, TTA 산하에 구성된 SoC 표준화위원회(PG417)에서 국내 표준(안)을 개발함. 이를 위해서 SoC 포럼과 TTA PG417을 양대 축으로 하여 지식경제부 기술 표준원 디지털전자표준과의 지휘 아래 관련 기구, 기관 및 단체와 긴밀한 협조 체제를 구성함

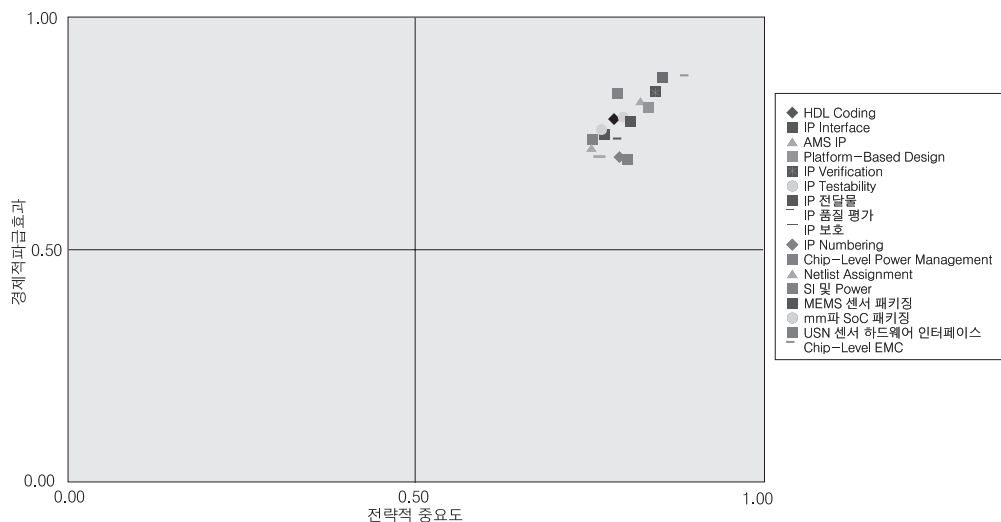


## 3.2. 중점 표준화항목 선정

### 3.2.1. 중점 표준화항목 선정방법

- 표준화 대상항목별 전략적 중요도 및 기술적 파급효과 분석

평가지표	전략적 중요도(PI : Priority Index)						기술적 파급효과(EI : Effect Index)					
	P1 정부 및 산업체 의지	P2 공공성	P3 적시성	P4 기술적 선도 가 능성	P5 국제 표준화 이슈정 도	PI	E1 기술적 중요도	E2 타 기술 에 파급 효과	E3 시장파 급성 및 상용화 가능성	E4 산업적 파급효 과	E5 미래 영 향력	EI
평가지표의 중요도	0,25	0,20	0,18	0,20	0,17	-	0,22	0,17	0,20	0,25	0,16	-
표준화 대상항목												
HDL Coding	3,64	4,24	2,56	3,20	3,64	0,70	3,16	4,20	3,60	3,76	3,56	0,73
IP Interface	3,52	3,83	3,13	2,87	3,30	0,67	2,96	3,83	3,35	4,00	3,48	0,71
AMS IP	3,00	3,14	2,93	3,29	3,43	0,63	3,57	3,64	3,07	2,93	3,14	0,65
Platform-Based Design	3,00	4,05	3,09	3,14	2,50	0,63	3,36	4,23	3,05	3,50	3,05	0,69
IP Verification	3,91	4,18	3,95	3,68	4,18	0,79	3,82	4,23	4,64	3,91	3,73	0,81
IP Testability	3,65	4,35	3,83	2,83	3,35	0,72	3,96	4,04	3,26	3,65	3,22	0,73
IP 전달물	3,77	4,18	3,27	2,95	3,55	0,71	2,91	3,32	3,41	3,09	2,95	0,63
IP 품질 평가	3,29	3,71	3,29	3,24	3,71	0,69	3,05	3,29	3,67	3,86	3,38	0,69
IP 보호	3,00	3,29	3,41	3,00	3,71	0,65	2,88	3,12	3,24	3,47	2,76	0,62
IP Numbering	2,90	4,05	3,33	3,43	3,90	0,70	3,10	2,76	3,33	3,33	3,33	0,64
Chip-Level Power Management	3,82	4,23	4,14	4,18	4,23	0,82	4,23	4,00	4,45	4,50	3,95	0,85
Netlist Assignment	3,89	4,39	3,89	3,22	3,72	0,77	3,83	4,11	3,67	4,11	4,06	0,79
SI 및 Power	3,86	4,27	3,77	3,73	3,68	0,77	4,09	3,86	3,73	3,86	3,68	0,77
MEMS 센서 패키징	3,13	4,00	3,73	3,93	3,60	0,73	3,73	3,33	3,60	3,87	3,33	0,72
mm파 SoC 패키징	2,83	3,83	3,28	3,61	3,11	0,66	3,28	3,56	3,72	3,83	3,44	0,72
USN 센서 하드웨어 인터페이스	2,87	3,80	3,80	3,67	3,87	0,71	3,93	4,00	4,27	4,13	3,53	0,80
Chip-Level EMC	4,30	4,61	4,48	4,17	3,74	0,85	4,48	4,30	3,96	4,26	4,26	0,85



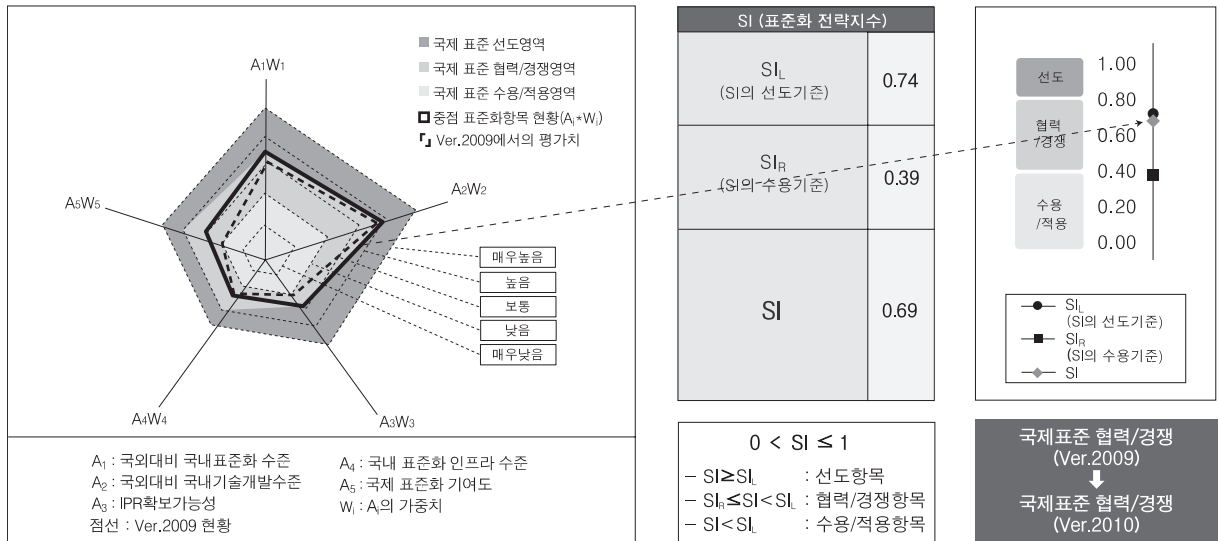
## 3.2.2. 중점 표준화항목 선정사유

- 전략적 중요도 및 기술적 파급효과 평가 결과
  - 로드맵 전담반 및 관련 분야 전문가를 대상으로 수행한 설문 조사 결과를 분석하여 17개 표준화 항목의 전략적 중요도 (PI)와 기술적 파급 효과 (EI)를 결정
  - Editor, Co-Editor, Reviewer 연석회의에서 토의한 결과 Platform-Based Design의 경우 (1) 표준화 항목의 범위가 넓고 추상적이며, (2) 업체간의 이해관계 대립이 커서 표준 도출에 어려움이 많으며 (3) 국제 표준화 기관에서도 표준안 제정 움직임이 활발하지 않은 점을 고려하여 중점 표준화 항목으로 선정하지 않기로 결정
  - 따라서 17개 표준화 항목 모두가 PI와 EI가 1사분면에 위치하였으나, Platform-Based Design을 제외한 16개 표준화 항목만을 중점 표준화 항목으로 선정
- 중점 표준화항목별 선정사유

구분	중점 표준화 항목	표준화 내용	중점 표준화 항목 선정 이유
IP 설계	HDL Coding	HDL 언어 표준 확장 및 시스템을 기술 (description)하는 방법	HDL 코드를 작성하는 방법에 대한 표준을 제시하여 사용자가 코드에 대한 가독성을 통일하고, IP 개발자와 사용자의 설계 도구가 다른 경우에도 동일한 기능의 하드웨어가 설계되도록 하기 위해 매우 중요
	IP Interface	IP 상호 연결을 위한 연결 방법	서로 다른 개발자에 의하여 공급되는 IP들을 이용하여 SoC를 설계할 때 IP들이 상호 결합될 수 있도록 Interface를 정의하기 위한 표준이며 IP 개발, 유통 및 재사용 시에 매우 중요
	AMS IP	아날로그/혼성신호 IP의 재사용을 위한 방법	아날로그/혼성신호 IP들의 재사용 호환성을 높이기 위하여 IP 개발자가 지켜야할 표준 설계규칙으로서 매우 중요
	IP Verification	Assertion 등을 사용하여 IP의 설계 및 검증이 용이하도록 하는 방법	IP 사용자가 IP를 이용하여 설계 및 검증을 진행시에 문제 분석 및 해결을 용이하게 하기 위하여 표준화된 Assertion based IP를 제공하는 것이 매우 중요
	IP Testability	IP를 칩으로 제작할 때 확인이 필요한 테스트 항목	IP 사용자가 SoC에서 특성 및 양산 테스트를 원활하게 진행하기 위하여 IP 별 표준화된 테스트 항목을 정의하여 전달하는 것이 매우 중요
IP 유통	IP 전달물	IP 사용자에게 IP가 전달될 때 재사용이 용이하도록 전달해야 할 항목	IP 공급자와 IP 사용자 간의 거래 시에 재사용이 용이하도록 필수적으로 전달하여야 할 항목을 정의하는 표준이며 IP 유통 및 재사용 시에 매우 중요
	IP 품질 평가	IP 사용자가 IP 구매 전에 IP의 품질에 대한 정보를 제공하기 위한 항목	IP 사용자가 IP 구매전 IP의 품질에 대한 정보를 제공하기 위한 항목을 정의하는 표준이며 IP 유통 및 재사용 시에 매우 중요
	IP 보호	IP 거래에 있어서, 법적인 IP 보호, 기술적 IP 보호에 대한 방법	IP 거래시에 IP의 불법 사용으로부터 IP 공급자를 보호하기 위한 표준이며 IP 유통 및 재사용 시에 매우 중요
	IP Numbering	IP 유통 및 관리가 용이하게 하기 위한 표준화된 넘버링 방법	IP를 지적재산으로 등록하거나 유통할 경우 동일한 IP가 중복되지 않도록 구분하는 고유 코드로서 매우 중요
고에너지 효율기술	Chip-Level Power Management	단일 칩 또는 단일 패키지 수준의 전력 및 발열량 측정 및 제어 방법	SoC의 집적도가 높아짐에 따라 소비 전력 및 발열량을 줄이기 위해 필요한 기술이며, 대규모 시스템을 단일 칩 또는 단일 패키지 내에 집적하기 위해 매우 중요
Chip-Package Codesign 기술	Netlist Assignment	다수의 칩을 단일 패키지로 통합할 때의 Netlist Assignment 방법	개별 Chip 또는 Die의 형태로 구현된 IP를 물리적으로 통합하여 단일 Package로 구현하기 위해 필요한 기술이며 다수의 IP로 구성된 시스템을 실제로 단일 Package 내에 통합하기 위해 매우 중요
	SI 및 Power	칩과 패키지 수준에서 SI 및 Power의 측정 및 인증 방법	SI 및 Power 문제는 지금 국제표준에 새로운 규격으로 제정된 EMI 및 EMS문제와 밀접한 관계가 있으며 칩 및 패키지 설계에 매우 중요한 요소가 될 것으로 중요성이 매우 높음
시스템 부품	MEMS 센서 패키징	MEMS 센서 부품의 패키징 및 인터페이스 방법	물리량, 화학 물질, 전기 신호 등을 감지하는 각종 센서를 설계, 제작하여 시스템에 통합하기 위해 필요한 기술이며 BT, NT 기술을 실제로 IT 기술과 통합하여 시스템 내부에 구현하기 위해 매우 중요
	mm파 SoC 패키징	mm파 SoC 부품의 패키징 및 인터페이스 방법	mm파 SoC 칩을 시스템에 적용하기 위해 패키징 기술이 필수적이며, 표준화된 패키지 구조를 사용한 mm파 SoC 부품의 시스템 즉시 적용이 가능하도록 하고, 시스템 측면에서 최적 부품을 적용하기 위해 매우 중요
	USN 센서 하드웨어 인터페이스	USN 센서 부품의 하드웨어 인터페이스 방법	USN 노드에서 요구하는 다양한 센서의 센서 플랫폼과 상호운용을 위해서는 센서와 플랫폼, 센서 상호간 통신과 같은 인터페이스에 대한 기술과 방법이 매우 중요
EMC 기술	Chip-Level EMC	단일 칩 또는 단일 패키지 수준의 EMC 측정 및 인증 방법	2009년에 표준으로 제정이 된 IEC의 EMC표준이 규제의 수단이 되었을 때의 국가적인 방지 수단이 필요하므로 국가적으로 매우 중요



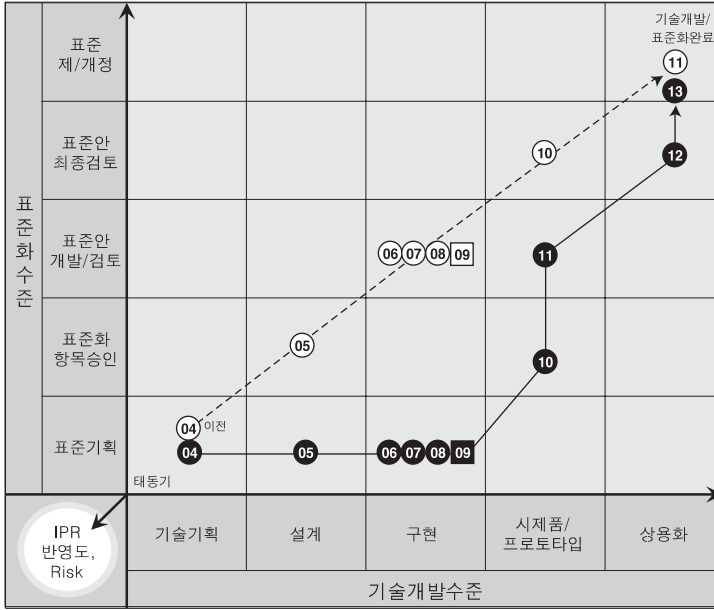
• 국제표준화 전략목표 및 세부전략(안)



국제표준화 전략목표	국제표준 협력/경쟁(Ver.2009) → 국제표준 협력/경쟁(Ver.2010)
Trace Tracking (Ver.2009 → 2010)	- Ver.2009와 Ver.2010과 큰 차이를 보이지 않음
세부전략(안)	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 자체 표준안 개발과 아울러 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준을 신속하게 수용하여야 함</li> <li>- VSIA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국책 연구소의 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 시급히 강화해야 함</li> <li>- HDL Coding의 경우 자체 표준안 제정 작업이 마무리 단계에 들어갔으므로 Revision 2 등의 차기 표준안에 대한 기획을 시작하여야 함</li> <li>- HDL Coding 분야의 국제 표준안은 대형 EDA 회사를 중심으로 이루어지며, 개발된 국제 표준안은 세계적인 SoC 설계 흐름을 좌우하고 있음. 이에 반해 국내에서는 EDA 산업이 취약하여 적극적으로 국제 표준안 제정에 참여하거나 자체 표준안을 제정하기에 많은 어려움이 있음. 따라서 국가적으로 진행되고 있는 인력 양성 사업에서 EDA 전문 인력의 양성이 이루어져야 함</li> <li>- Coding의 경우 국내 표준화 수준[A1W1], 국내 기술 개발 수준[A2W2], IPR 확보 가능성[A3W3]은 국제 상위 수준에 근접하여 있음. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> <li>- SIPAC 사업과 KIPEX 사업이 종료된 후 국가적인 표준화 활동 지원이 크게 축소되었음. 따라서 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 지원을 강화하거나 독립된 상설 기구화하는 것이 바람직함</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> </ul>
IPR 확보방안	- HDL Coding 스타일을 검증하는 상용 EDA 툴에 표준안을 반영하는 스크립트를 설계하고 소프트웨어 등록함으로써 지적재산 권리 보호가 가능함

### 3.3.2. IP Interface

#### • 표준화-기술개발-IPR 연계분석



표준화 중요도	국내 개발주체		관련 국제 표준화 기구
	표준개발	기술개발	
고(★★★) 중(★★☆) 저(★☆☆)	기술 표준원 SoC Forum TTA PG417	ETRI KETI	IEC IEEE DASC SPIRIT SI2 ACCELLERA

**범 례**

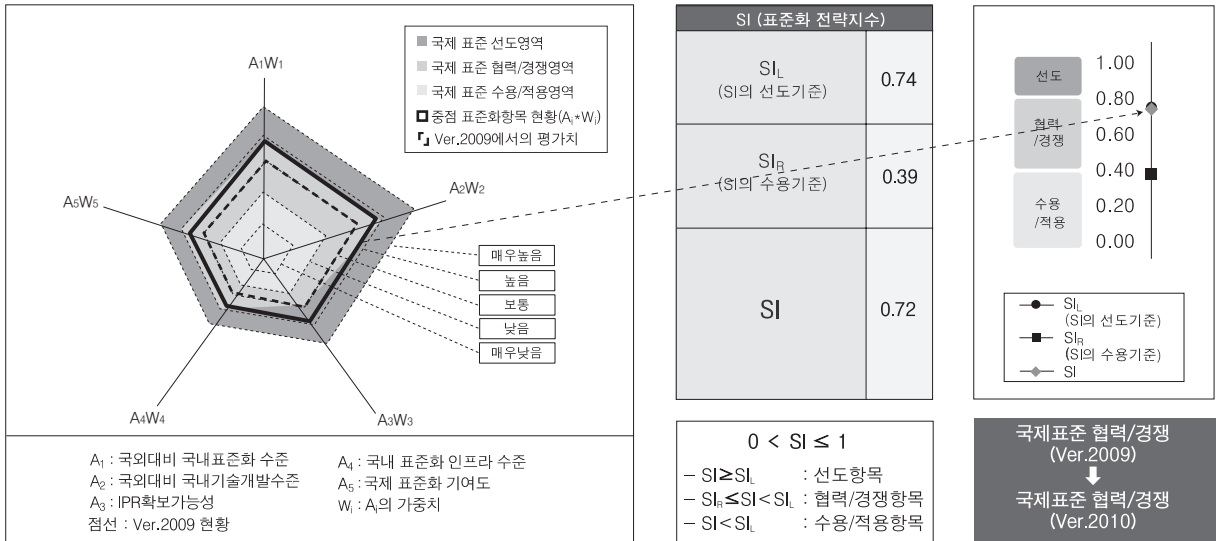
09 : 중점 표준화항목의 국내 상태  
09 : 중점 표준화항목의 국제 상태

→ : 중점 표준화항목의 국내 표준상태전이  
-→ : 중점 표준화항목의 국제 표준상태전이

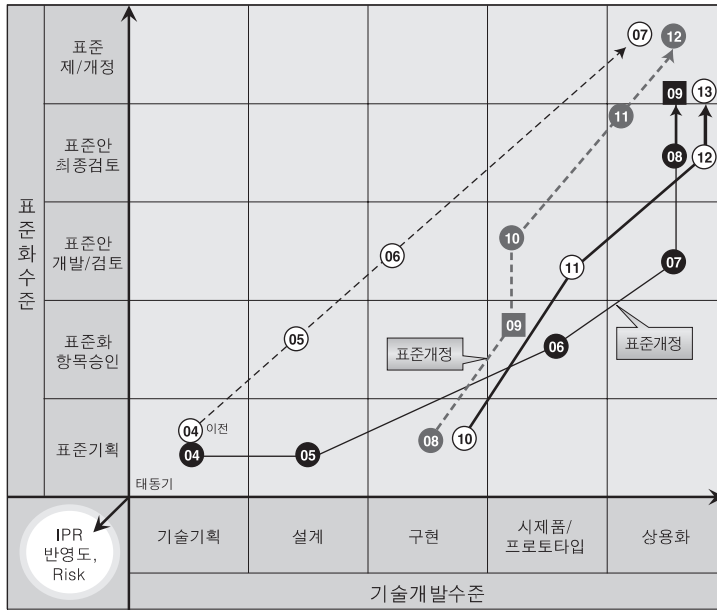
↑ : 선행표준(선 표준화 후 기술개발)  
↗ : 동시표준(표준화&기술개발 동시추진)  
→ : 후행표준(선 기술개발 후 표준화)

표준화 특성	- 동시표준
표준화-기술개발-IPR 연계방안	<ul style="list-style-type: none"> <li>- IP Interface 표준은 시스템칩 동작의 중심이 되는 프로세서마다 다른 온칩버스 프로토콜을 사용하기 때문에 하나의 표준 IP Interface를 규정하여 통일시키는 것은 불가능함. 미국 VSI에서 온칩버스를 표준으로 규정하려 하였으나 성공하지 못했음</li> <li>- 대한민국을 대표하는 온칩버스 프로토콜을 개발하여 표준화 시키는 방법이 있으나 현실성이 없는 방법이고, OCP와 같은 공개된 온칩프로토콜을 표준으로 선택하는 것이 한 방법인데 관련 EDA 툴의 보급이 함께 이루어져야 하는 어려움이 있고, 다른 방법은 서로 다른 통신 프로토콜이 호환되도록 wrapper 회로를 자동으로 생성하는 Interface Synthesizer를 개발하는 것으로서 국내에서도 연구가 이루어짐</li> <li>- IP Interface 표준화는 가장 보편적으로 사용하는 몇가지의 상용 온칩버스를 표준으로 선택하고 이들간의 호환성을 제공하는 Interface Synthesizer를 개발하는 것이 가장 효율적인 방법이라 사료됨</li> <li>- Interface Synthesizer 소프트웨어에 구현된 호환성 구현 기술을 보호할 필요가 있음</li> </ul>

• 국제표준화 전략목표 및 세부전략(안)



• 표준화-기술개발-IPR 연계분석



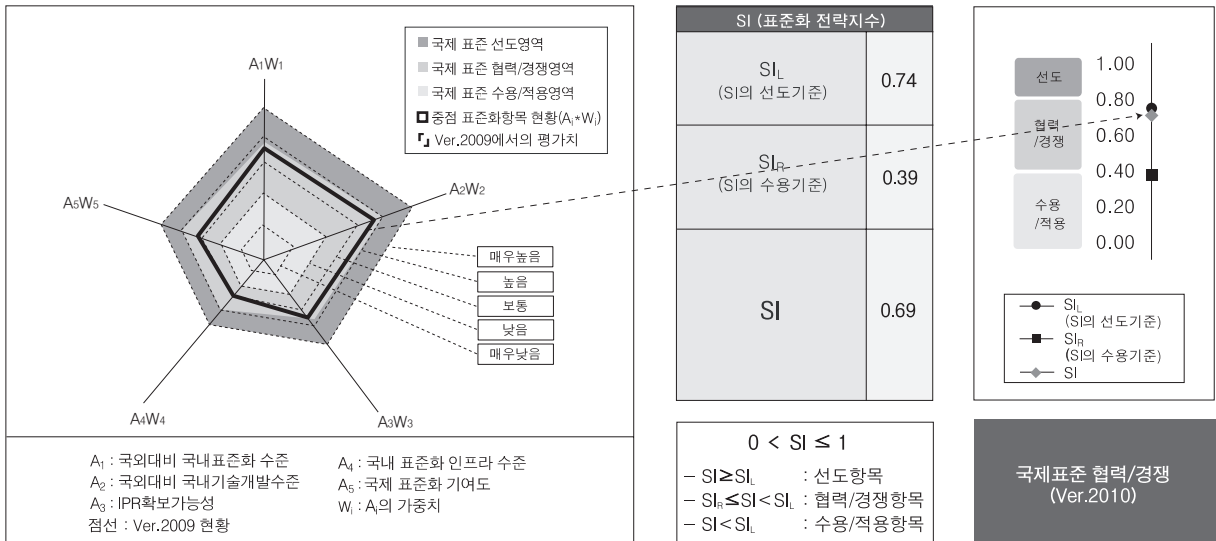
표준화 중요도	국내 개발주체		관련 국제 표준화 기구
고(★★★) 중(★★☆) 저(★☆☆)	표준개발	기술개발	
★★★	기술 표준원 SoC Forum TTA PG417	ETRI KETI	IEC IEEE DASC SPIRIT Si2 ACCELLERA

## 문제

- 09 : 중점 표준화항목의 국내상태
- 09 : 중점 표준화항목의 국제상태
- : 중점 표준화항목의 국내 표준상태전이
- > : 중점 표준화항목의 국제 표준상태전이
- ↑ : 선행표준(선행표준화 후 기술개발)
- ↗ : 동시표준(표준화&기술개발 동시추진)
- : 후행표준(선행 기술개발 후 표준화)

표준화 특성	- 동시표준
표준화기술개발-IPR 연계방안	- AMS IP에 대한 표준안은 TTA PG417에서 개발이 진행 중에 있으며, 기술적, 산업적으로 중요한 항목의 하나이므로 표준안 제정이 완료된 후에도 지속적으로 보완 및 개정해 나가야 함 - 국책과제에서 개발되는 AMS IP들을 등록받고, 검증하고, 지적권리를 부여할 수 있는 권위있는 기관과 정책을 수립하여 국내에서 개발되는 IP들을 보호할 필요가 있음

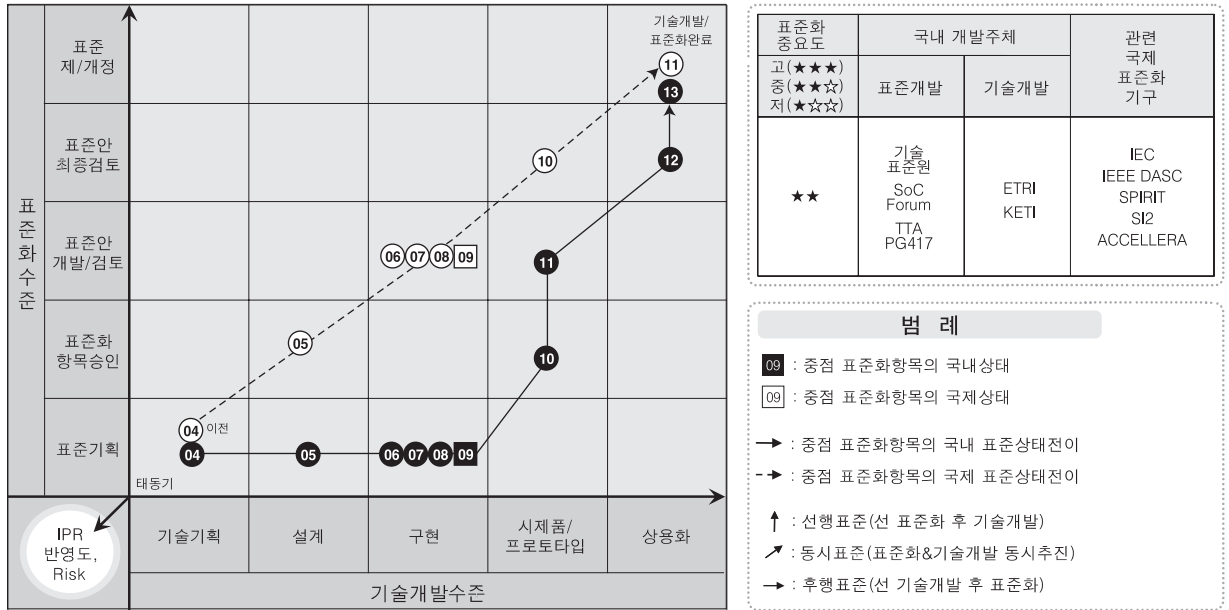
• 국제표준화 전략목표 및 세부전략(안)



국제표준화 전략목표	국제표준 협력/경쟁(Ver.2010)
Trace Tracking (Ver.2009 → 2010)	- Ver.2009에서는 중점표준화항목에 선정되지 않았으나 최근 SoC가 대형화됨에 따라 파운드리 업체가 보유하고 있는 AMS IP의 중요성이 크게 증가하여 Ver.2010에서는 중점표준화항목에 선정됨
세부전략(안)	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 자체 표준안 개발과 아울러 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준을 신속하게 수용하여야 함</li> <li>- VISA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 사급히 강화해야 함</li> <li>- AMS IP 분야의 국제 표준안은 대형 EDA 회사를 중심으로 이루어지며, 개발된 국제 표준안은 세계적인 SoC 설계 흐름을 좌우하고 있음. 이에 반해 국내에서는 EDA 산업이 취약하여 적극적으로 국제 표준안 제정에 참여하거나 자체 표준안을 제정하기에 많은 어려움이 있음. 따라서 국가적으로 진행되고 있는 인력 양성 사업에서 EDA 전문 인력의 양성이 이루어져야 함</li> <li>- AMS IP의 경우 IPR 확보 가능성[A3W3]은 국제 상위 수준에 근접하여 있음. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> <li>- SIPAC 사업과 KIPEX 사업이 종료된 후 국가적인 표준화 활동 지원이 크게 축소되었음. 따라서 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 지원을 강화하거나 독립된 상설 기구화하는 것이 바람직함</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> </ul>
IPR 확보방안	<ul style="list-style-type: none"> <li>- AMS IP 분야의 가이드라인 및 표준 모델 IP 등에 대해 지적 재산권 확보</li> <li>- AMS IP 개발과정에서 필요한 특허된 기술에 대한 특허 출원을 통하여 지적 재산권 확보</li> </ul>

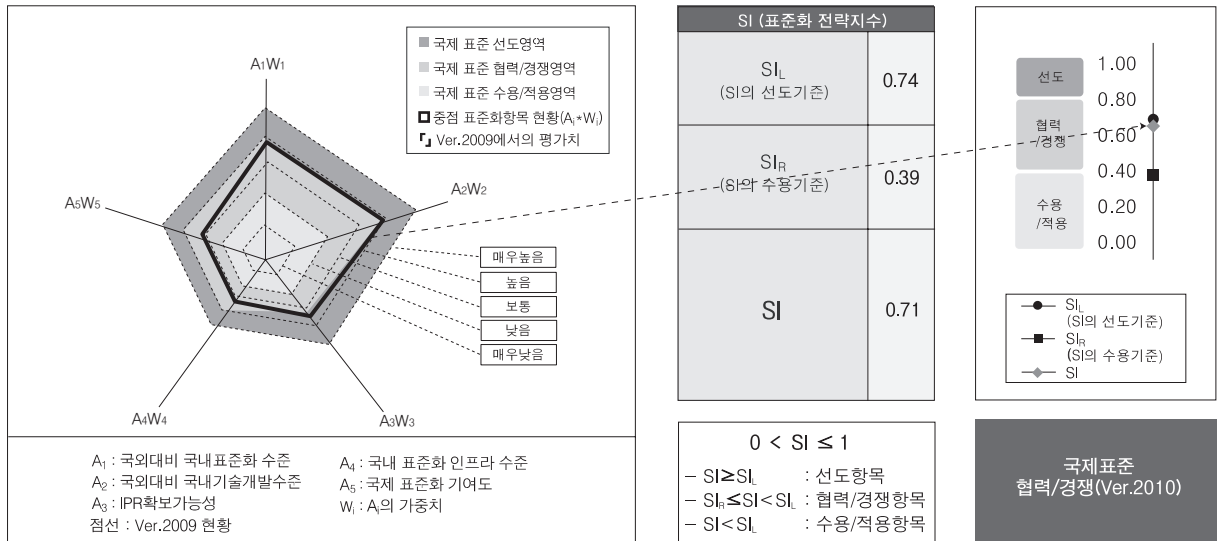
### 3.3.4. IP Verification

#### • 표준화-기술개발-IPR 연계분석



표준화 특성	- 동시표준
표준화-기술개발-IPR 연계방안	<ul style="list-style-type: none"> <li>- 산업체와 국책 연구기관 및 대학을 중심으로 전문 위원회 활동의 활성화를 통하여 국제 표준화 진행</li> <li>- IP 사용자의 관점에서 Assertion based IP verification 에 대한 중요성에 대한 인식의 확산을 통하여 산업체의 자발적인 참여 유도</li> <li>- EDA 산업과 연계하여 IP 검증에 대한 개발 추진</li> <li>- IP 검증 과정에서 IP 사용자에게 필요한 사항들에 대한 중요도에 따라 단계별 정의 및 이에 근거한 IP 설계 표준 추진</li> <li>- 표준화 과정에서 특화된 기술에 대해서 특허 출원을 진행하여 IPR 확보</li> </ul>

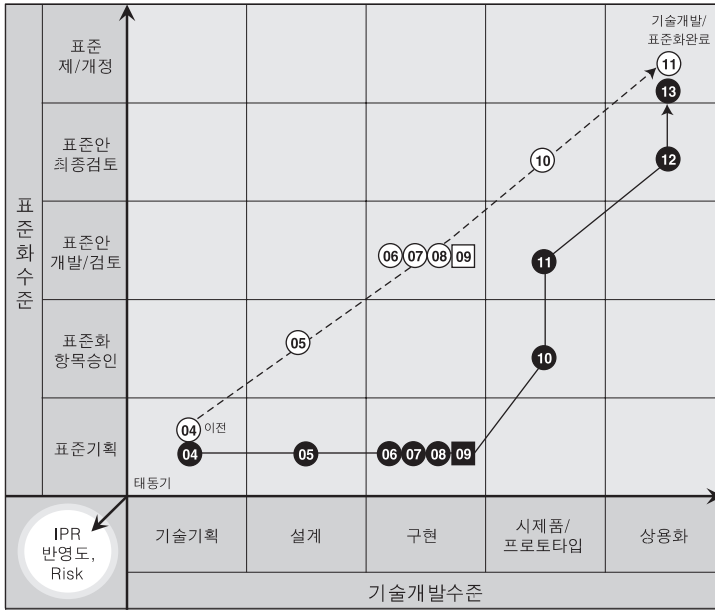
## • 국제표준화 전략목표 및 세부전략(안)



국제표준화 전략목표	국제표준 협력/경쟁(Ver.2010)
Trace Tracking (Ver.2009 → 2010)	- Ver.2009에서는 중점표준화항목에 선정되지 않았으나 최근 SoC가 대형화됨에 따라 IP 검증의 중요성이 크게 증가하여 Ver.2010에서는 중점표준화항목에 선정됨
세부전략(안)	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 자체 표준안 개발과 아울러 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준을 신속하게 수용하여야 함</li> <li>- VISA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 시급히 강화해야 함</li> <li>- IP Verification 분야의 국제 표준안은 대형 EDA 회사를 중심으로 이루어지며, 개발된 국제 표준안은 세계적인 SoC 설계 흐름을 좌우하고 있음. 이에 반해 국내에서는 EDA 산업이 취약하여 적극적으로 국제 표준안 제정에 참여하거나 자체 표준안을 제정하기에 많은 어려움이 있음. 따라서 국가적으로 진행되고 있는 인력 양성 사업에서 EDA 전문 인력의 양성이 이루어져야 함</li> <li>- IP Verification의 경우 국내 표준화 수준[A1W1], 국내 기술 개발 수준[A2W2], IPR 확보 가능성[A3W3]은 국제 상위 수준에 근접하여 있음. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> <li>- SIPAC 사업과 KIPEX 사업이 종료된 후 국가적인 표준화 활동 지원이 크게 축소되었음. 따라서 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 지원을 강화하거나 독립된 상설 기구화하는 것이 바람직함</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> </ul>
IPR 확보방안	- IP 검증을 위하여 IP 개발과정에서 필요한 특허된 기술에 대한 특허 출원을 통하여 지적 재산권 확보

### 3.3.5. IP Testability

#### • 표준화-기술개발-IPR 연계분석

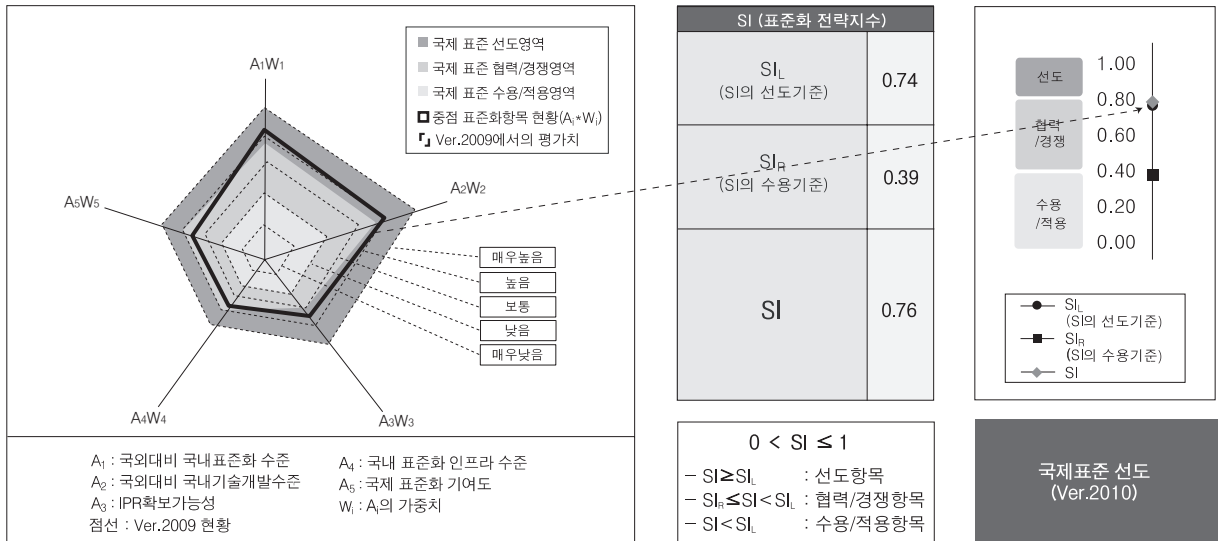


표준화 중요도	국내 개발주체		관련 국제 표준화 기구
고(★★★) 중(★★☆) 저(★☆☆)	표준개발	기술개발	
★★	기술 표준원 SoC Forum TTA PG417	ETRI KETI	IEC IEEE DASC SPIRIT SI2 ACCELLERA

범례	
09	: 중점 표준화항목의 국내상태
09	: 중점 표준화항목의 국제상태
→	: 중점 표준화항목의 국내 표준상태전이
-→	: 중점 표준화항목의 국제 표준상태전이
↑	: 선행표준(선 표준화 후 기술개발)
↗	: 동시표준(표준화&기술개발 동시추진)
→	: 후행표준(선 기술개발 후 표준화)

표준화 특성	- 동시표준
표준화-기술개발-IPR 연계방안	<ul style="list-style-type: none"> <li>- IP Testability 관련 전문 위원회의 활성화를 통하여 국제 표준안을 포함한 표준화 활동의 강화</li> <li>- 각 산업체, 국책연구기관, 대학 별로 보유하고 있는 IP들의 대한 IP Testability에 대한 문제점 파악을 통하여 표준화 작업의 근거로 활용</li> <li>- IP Testability는 제품의 개발과 양산을 함께 고려하여 표준화 추진</li> <li>- 각 IP 군별로 Testability의 필수 항목 및 선택 항목을 구분하고 이에 근거하여 국제 및 국내 표준을 조기 정착하고 산업체에서 이에 근거하여 IP 개발이 진행되도록 유도</li> <li>- IP Testability 표준화 과정에서 특화된 기술에 대한 특허 출원을 진행하여 IPR 확보</li> </ul>

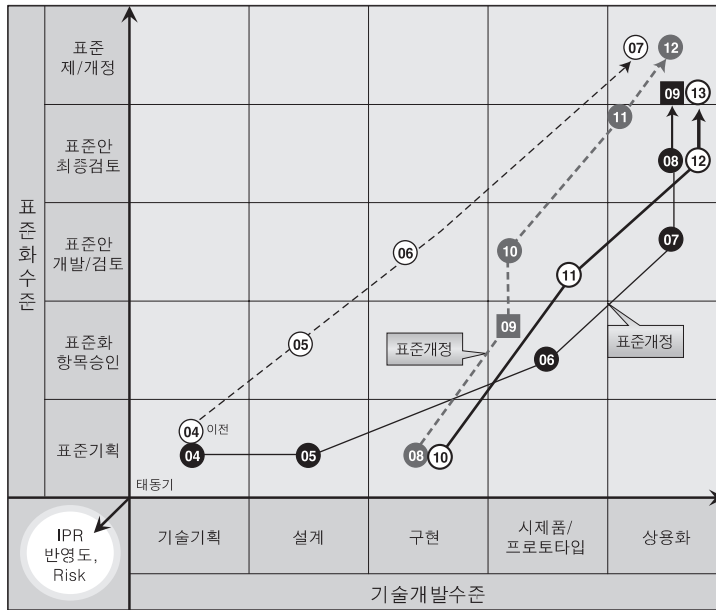
## • 국제표준화 전략목표 및 세부전략(안)



국제표준화 전략목표	국제표준 선도(Ver.2010)
Trace Tracking (Ver.2009 → 2010)	- Ver.2009에서는 중점표준화항목에 선정되지 않았으나 최근 SoC가 대형화됨에 따라 IP 테스트의 중요성이 크게 증가하여 Ver.2010에서는 중점표준화항목에 선정됨
세부전략(안)	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 신속하게 자체 표준안을 개발하고 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준에도 적극 참여하여야 함</li> <li>- VSIA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국제 연구소의 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 시급히 강화해야 함</li> <li>- IP Testability 분야의 국제 표준안은 대형 EDA 회사를 중심으로 이루어지며, 개발된 국제 표준안은 세계적인 SoC 설계 흐름을 좌우하고 있음. 이에 반해 국내에서는 EDA 산업이 취약하여 적극적으로 국제 표준안 제정에 참여하거나 자체 표준안을 제정하기에 많은 어려움이 있음. 따라서 국가적으로 진행되고 있는 인력 양성 사업에서 EDA 전문 인력의 양성이 이루어져야 함</li> <li>- IP Testability의 경우 국내 표준화 수준[A1W1], 국내 기술 개발 수준[A2W2], IPR 확보 가능성[A3W3]은 국제 상위 수준에 근접하여 있음. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> <li>- SIPAC 사업과 KIPEX 사업이 종료된 후 국가적인 표준화 활동 지원이 크게 축소되었음. 따라서 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 지원을 강화하거나 독립된 상설 기구화하는 것이 바람직함</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> </ul>
IPR 확보방안	- IP Testability 관점에서 특화된 기술 및 새로운 IP Test 기술 등에 대해서 특허 출원을 통하여 지적 재산권 확보

### 3.3.6. IP 전달물

#### • 표준화-기술개발-IPR 연계분석



표준화 중요도	국내 개발주체		관련 국제 표준화 기구
고(★★★) 중(★★☆) 저(★☆☆)	표준개발	기술개발	
★★★	기술 표준원 SoC Forum TTA PG417	ETRI KETI	IEC IEEE DASC SPIRIT SI2 ACCELLERA

**범 례**

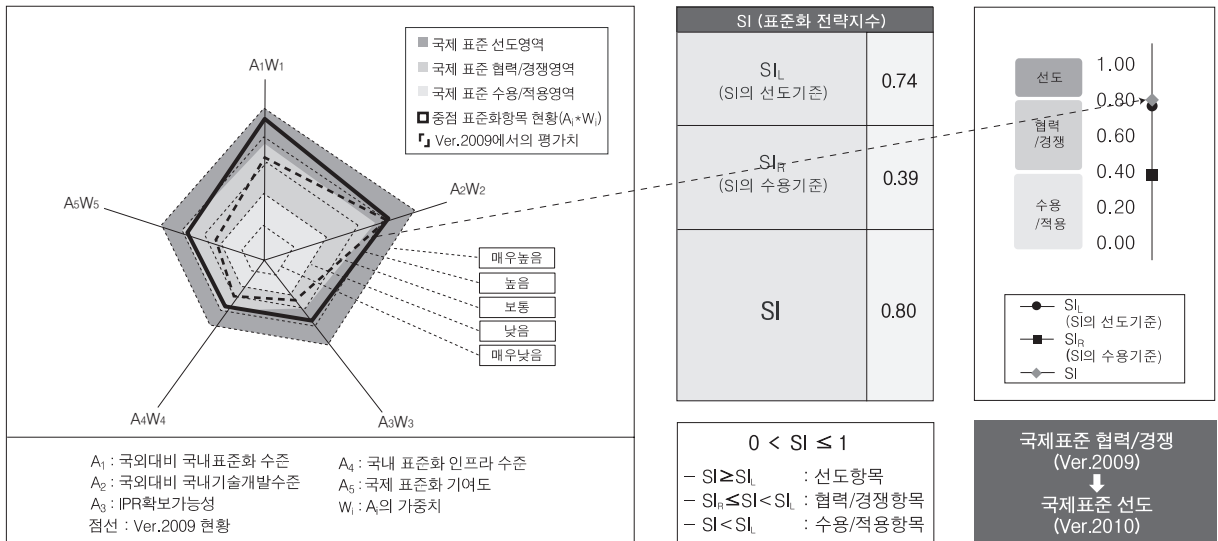
09 : 중점 표준화항목의 국내상태  
09 : 중점 표준화항목의 국제상태

→ : 중점 표준화항목의 국내 표준상태전이  
--> : 중점 표준화항목의 국제 표준상태전이

↑ : 선행표준(선 표준화 후 기술개발)  
↗ : 동시표준(표준화&기술개발 동시추진)  
→ : 후행표준(선 기술개발 후 표준화)

표준화 특성	- 동시표준
표준화-기술개발-IPR 연계방안	<p>- 반도체IP의 효과적인 전달을 위해 전달 방법의 표준에 있어 코딩 가이드라인 AMS(Analog Mixed Signal) 설계 가이드라인 등을 개발하고 이 과정에서 파생되는 IPR을 확보함</p> <p>- 이 경우 정부예산을 공익기관이 주관기관이 된 컨소시엄 형태의 개발 주체에 투입함으로써 효율적인 개발체계 확보</p> <p>- 위 코딩가이드라인과 AMS설계가이드라인 등은 설계 시에 적용할 수 있는 가이드라인 형태의 표준이나 반도체 IP의 전달과정에서도 유용하게 적용될 수 있는 표준이며 이 들을 개발하는 과정에서 원천기술에 해당하는 특허, IPR등의 발생을 예상할 수 있음</p>

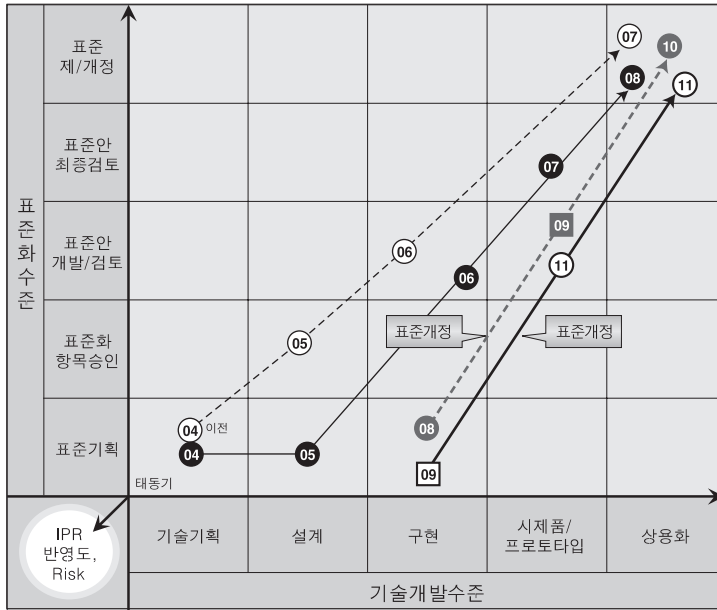
• 국제표준화 전략목표 및 세부전략(안)



국제표준화 전략목표	국제표준 협력/경쟁(Ver,2009) → 국제표준 선도(Ver,2010)
Trace Tracking (Ver,2009 → 2010)	- 최근 IP 관련 기술 개발이 활발하게 진행되고 SoC가 대형화됨에 따라 IP 전달물의 중요성이 크게 증가하였으며, 국내에서도 기술 투자와 기술 개발이 크게 강화되고 TTA PG417을 중심으로 표준화 활동이 매우 활발해짐에 따라 Ver,2010에서는 국제표준 선도로 상향 조정됨
세부전략(안)	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 신속하게 자체 표준안을 개발하고 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준에도 적극 참여하여야 함</li> <li>- VLSIA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당한 미진한 상황임. 따라서 공공성이 강한 국책 연구소의 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 시급히 강화해야 함</li> <li>- IP 전달물의 경우 자체 표준안 제정 작업이 상당 부분 진행되어 왔으므로 집중적인 지원을 통하여 자체 표준안을 확정하고, 이를 바탕으로 Revision 2 등의 차기 표준안에 대한 기획을 시작하여야 함</li> <li>- IP 전달물의 경우 국내 표준화 수준[A1W1], 국내 기술 개발 수준[A2W2], IPR 확보 가능성[A3W3]은 국제 최상위 수준으로 평가됨. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> <li>- SIPAC 사업과 KIPEX 사업이 종료된 후 국가적인 표준화 활동 지원이 크게 축소되었음. 따라서 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 지원을 강화하거나 독립된 상설 기구화하는 것이 바람직함</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> </ul>
IPR 확보방안	<ul style="list-style-type: none"> <li>- SoC 설계 시에 적용할 수 있는 가이드라인 형태의 표준을 반도체 IP의 전달과정에서도 유용하게 적용될 수 있도록 개발하는 과정에서 원천기술에 해당하는 특허, IPR등이 발생함</li> <li>- 발생한 IPR을 개발 주체에 따른 소유권 문제를 정리하여 실질적인 표준특허의 경제적인 이득을 확보하도록 함으로써 양질의 IPR을 확보하도록 함</li> </ul>

### 3.3.7. IP 품질 평가

#### • 표준화-기술개발-IPR 연계분석



표준화 중요도 고(★★★) 중(★★☆) 저(★☆☆)	국내 개발주체		관련 국제 표준화 기구
	표준개발	기술개발	
★★	기술 표준원 SoC Forum TTA PG417	ETRI KETI	IEC IEEE DASC SPIRIT SI2 ACCELLERA

**범 례**

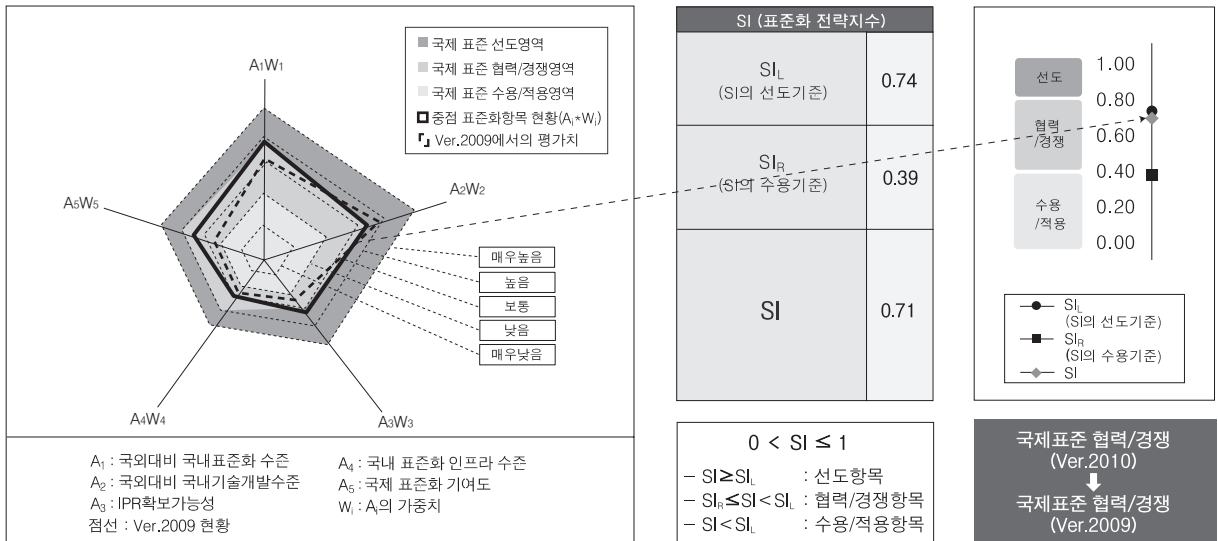
09 : 중점 표준화항목의 국내 상태  
09 : 중점 표준화항목의 국제 상태

→ : 중점 표준화항목의 국내 표준상태전이  
→ : 중점 표준화항목의 국제 표준상태전이

↑ : 선행표준(선 표준화 후 기술개발)  
↗ : 동시표준(표준화&기술개발 동시추진)  
→ : 후행표준(선 기술개발 후 표준화)

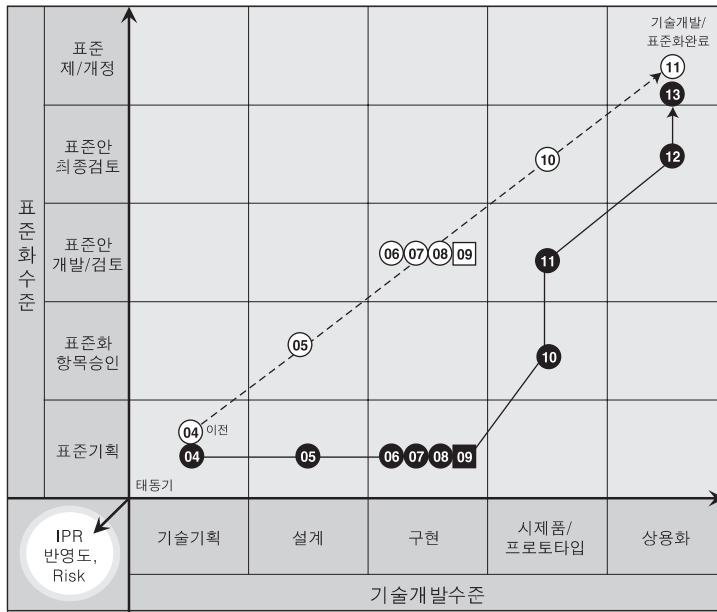
표준화 특성	- 동시표준
표준화-기술개발-IPR 연계방안	<ul style="list-style-type: none"> <li>- 반도체IP의 효과적인 품질평가를 위해 각 요소들의 평가 방법에 대한 표준을 제정함에 있어 관련 기술개발이 수반되도록 정부예산이 국책연구기관을 중심으로 한 컨소시엄에 투입되게 하여 체계적인 기술개발을 유도</li> <li>- 품질평가의 요소는 우선 성능지수에 대한 평가를 들 수 있으며 각 반도체 IP마다 그 요구되는 성능은 각각이므로 이를 측정할 수 있는 장비 혹은 시뮬레이터를 개발하도록 하는 과정에서 다수의 IPR이 발생됨</li> <li>- 또한 품질평가에서의 평가요소는 수요자가 희망하는 기능이 만족되어야 하는 바 이를 충족시킬 수 있는 장비(시뮬레이터)를 개발하게 하도록 함으로써 관련 IPR을 확보할 수 있음</li> <li>- 국제표준화 활동을 통해 선도적인 기술을 접할 수 있는 기회가 있으므로 국제표준화 활동을 권장할 수 있는 제도적인 장치 마련</li> </ul>

# 국제표준화 전략목표 및 세부전략(안)



국제표준화 전략목표	국제표준 협력/경쟁(Ver.2009) → 국제표준 협력/경쟁(Ver.2010)
Trace Tracking (Ver.2009 → 2010)	- Ver.2009와 Ver.2010과 큰 차이를 보이지 않음
세부전략(안)	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 자체 표준안 개발과 아울러 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준을 신속하게 수용하여야 함</li> <li>- VSIA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 시급히 강화해야 함</li> <li>- IP 품질평가의 경우 자체 표준안 제정 작업이 마무리 단계에 들어갔으므로 Revision 2 등의 차기 표준안에 대한 기획을 시작하여야 함</li> <li>- IP 품질평가의 경우 국내 표준화 수준[A1W1], 국내 기술 개발 수준[A2W2], IPR 확보 가능성[A3W3]은 국제 상위 수준에 근접하여 있음. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> <li>- SIPAC 사업과 KIPEX 사업이 종료된 후 국가적인 표준화 활동 지원이 크게 축소되었음. 따라서 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 지원을 강화하거나 독립된 상설 기구화하는 것이 바람직함</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> </ul>
IPR 확보방안	<ul style="list-style-type: none"> <li>- 반도체IP 품질평가는 다양한 기술(반도체설계기술, 제작기술, 측정기술)이 집약된 반도체 IP를 평가하는 것이므로 평가 방법론을 고려한 기술 개발을 통해 여러 가지 IPR 확보 가능</li> <li>- 발생한 IPR을 실제적으로 적용하도록 피드백을 통해 그 유용성을 검증하도록 하는 과정에서 또 다른 종류의 IPR 발생 가능</li> </ul>

- 표준화-기술개발-IPR 연계분석



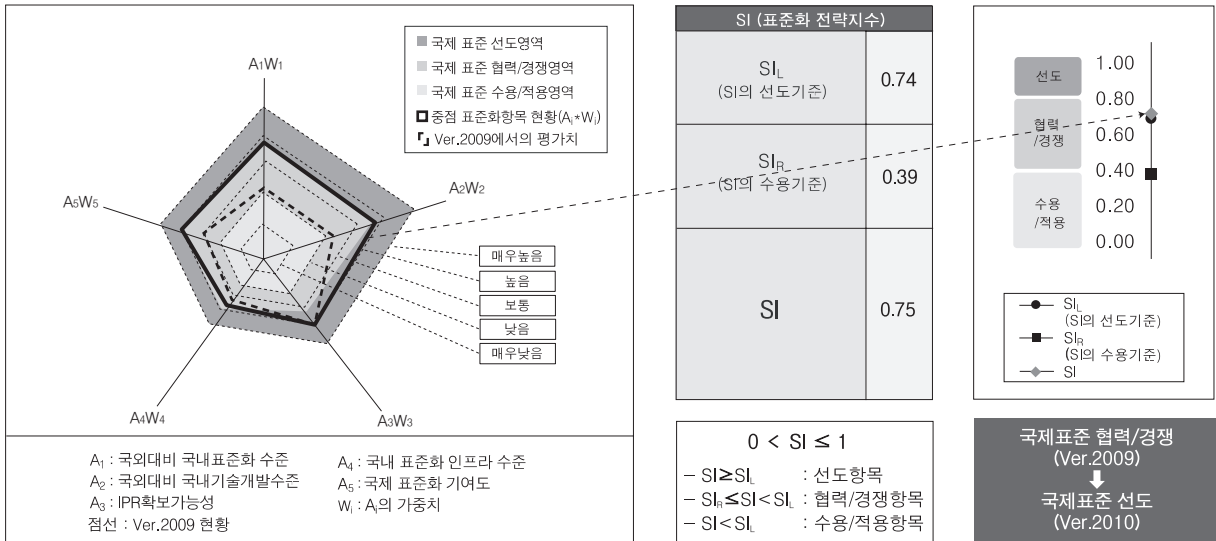
표준화 중요도	국내 개발주체		관련 국제 표준화 기구
	표준개발	기술개발	
고(★★★) 중(★★☆) 저(★☆☆)			
★★	기술 표준원 SoC Forum TTA PG417	ETRI KETI	IEC IEEE DASC SPIRIT SI2 ACCELLERA

## 문제

- 09 : 중점 표준화항목의 국내상태
- 09 : 중점 표준화항목의 국제상태
- : 중점 표준화항목의 국내 표준상태전이
- > : 중점 표준화항목의 국제 표준상태전이
- ↑ : 선행표준(선행표준화 후 기술개발)
- ↗ : 동시표준(표준화&기술개발 동시추진)
- : 후행표준(선행 기술개발 후 표준화)

표준화 특성	- 동시표준
표준화기술개발-IPR 연계방안	<p>- 반도체IP 보호는 공급주체의 경제적인 이익과 직결되는 문제이므로 반도체IP 보호방법 표준을 제정하도록 함에 있어 관련 기관들의 사례를 광범위하게 수집하여 이를 표준으로 제정함</p> <p>- 각종 보호 방법 등을 골고루 채택한 공통본모를 지닌 표준이 제정되는 과정을 통해 관련 기술개발을 모색할 수 있으며 이들에 대한 IPR을 확보할 수 있음</p> <p>- 아울러 침해에 대한 보호가 가능한 기술까지 고려함으로써 이들에 대한 표준화기술개발-IPR 연계까지 가능</p>

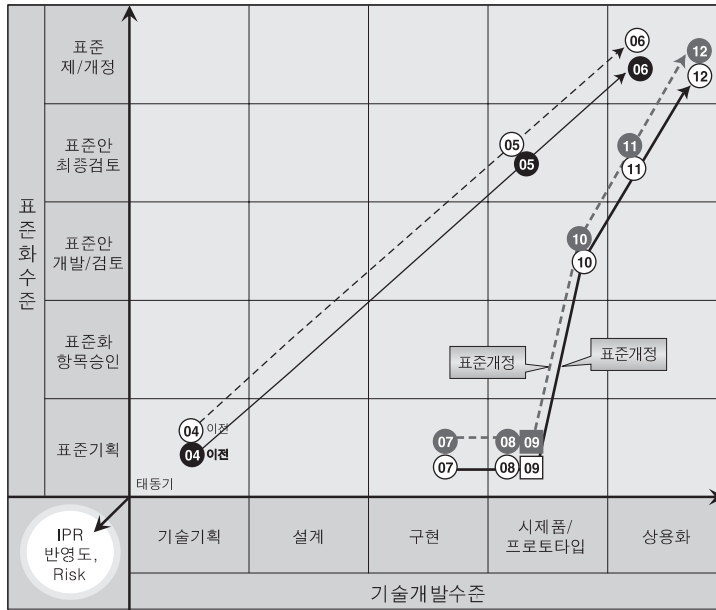
• 국제표준화 전략목표 및 세부전략(안)



국제표준화 전략목표	국제표준 협력/경쟁(Ver.2009) → 국제표준 선도(Ver.2010)
Trace Tracking (Ver.2009 → 2010)	- 최근 IP 관련 기술 개발이 활발하게 진행되고 SoC가 대형화됨에 따라 IP 보호의 중요성이 크게 증가하였으며, 국내에서도 기술 투자와 기술 개발이 크게 강화되고 TTA PG417을 중심으로 표준화 활동이 매우 활발해짐에 따라 Ver.2010에서는 국제표준 선도로 상향 조정됨
세부전략(안)	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 신속하게 자체 표준안을 개발하고 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준에도 적극 참여하여야 함</li> <li>- VSIA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국책 연구소의 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 서급히 강화해야 함</li> <li>- IP 보호의 경우 IPR 확보 가능성(A3W3)은 국제 최상위 수준으로 평가됨. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> <li>- SIPAC 사업과 KIPEX 사업이 종료된 후 국가적인 표준화 활동 지원이 크게 축소되었음. 따라서 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 지원을 강화하거나 독립된 상설 기구화하는 것이 바람직함</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> </ul>
IPR 확보방안	<ul style="list-style-type: none"> <li>- 워터마크에 대한 광범위한 사례수집을 통해 공통분모를 지닌 표준화 기술을 개발할 수 있으며 이들 중 워터마크 처리기술, 효율적인 삽입기술 개발 등에 대한 IPR을 확보할 수 있음</li> <li>- 아울러 침해를 받았을 시 이를 즉각 인지할 수 있는 기술, 침해를 회피할 수 있는 기술 개발 등을 고려하여 진행한다면 상당 수의 IPR을 확보할 수 있음</li> </ul>

### 3.3.9. IP Numbering

#### • 표준화-기술개발-IPR 연계분석



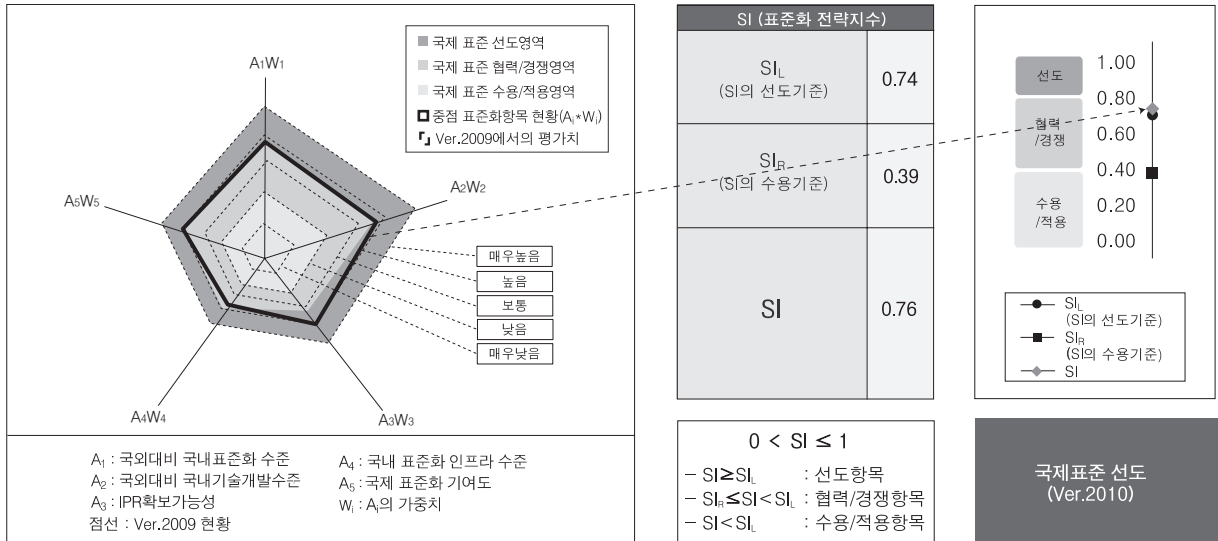
표준화 중요도	국내 개발주체		관련 국제 표준화 기구
고(★★★)	표준개발	기술개발	IEC IEEE DASC SPIRIT Si2 ACCELLERA
중(★★☆)			
저(★☆☆)			
★★★	기술 표준원 SoC Forum TTA PG417	ETRI KETI	

#### 범례

- 09 : 중점 표준화항목의 국내상태
- 09 : 중점 표준화항목의 국제상태
- : 중점 표준화항목의 국내 표준상태전이
- > : 중점 표준화항목의 국제 표준상태전이
- ↑ : 선행표준(선 표준화 후 기술개발)
- ↗ : 동시표준(표준화&기술개발 동시추진)
- : 후행표준(선 기술개발 후 표준화)

표준화 특성	- 동시표준
표준화-기술개발-IPR 연계방안	<ul style="list-style-type: none"> <li>- IP Numbering은 동일한 IP가 중복되어 등록되는 것을 방지하기 위하여 IP 마다 고유 코드를 할당하기 위한 목적으로 개발됨</li> <li>- IP Number는 IP에 관련된 여러 가지 정보들이 압축된 코드들이 모여서 고유번호를 구성하기 때문에 고유번호만으로 IP의 특성을 알 수 있음</li> <li>- IP Numbering은 대한민국이 먼저 제안한 표준안으로서 발전을 선도할 필요가 있음</li> <li>- IP 고유번호는 하나의 기관이 관리하는 DB에 등록된 IP들을 구분하기 위해 사용할 수도 있지만 국가차원의 권위 있는 기관이 IP 등록을 받아 법적 권리를 보호하는 제도에 도입되어야 근본적인 IP Numbering 표준이 정착될 수 있음</li> <li>- IP에 대한 여러 가지 정보를 입력하면 고유번호를 생성하는 프로그램의 개발이 가능함</li> </ul>

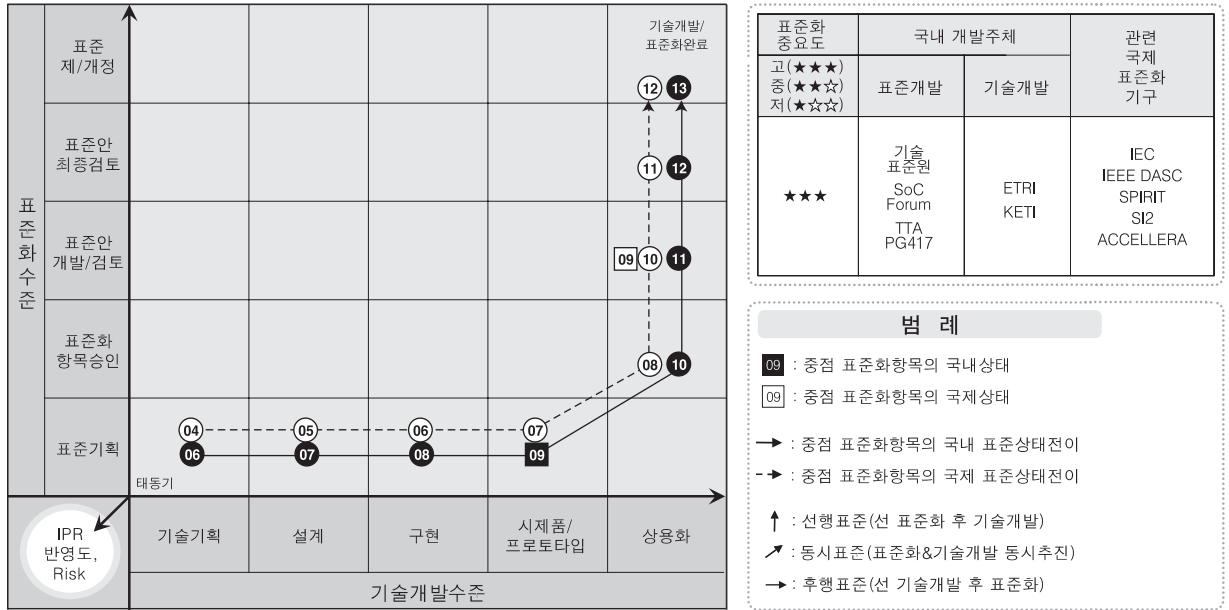
# 국제표준화 전략목표 및 세부전략(안)



국제표준화 전략목표	국제표준 선도(Ver.2010)
Trace Tracking (Ver.2009 → 2010)	- Ver.2009에서는 중점표준화항목에 선정되지 않았으나 최근 SoC가 대형화됨에 따라 IP Numbering의 중요성이 크게 증가하여 Ver.2010에서는 중점표준화항목에 선정됨
세부전략(안)	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 신속하게 자체 표준안을 개발하고 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준에도 적극 참여하여야 함</li> <li>- VSIA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 시급히 강화해야 함</li> <li>- IP Numbering의 경우 2006년에 국내 표준 제정이 완료되고 사실상의 국제 표준으로 인정받고 있음. 그러나 최근 SoC 기술의 급격한 발달을 반영하기 위하여 Revision 2 등의 차기 표준안에 대한 기획을 시작하여야 함</li> <li>- IP Numbering의 경우 국내 표준화 수준[A1W1], 국내 기술 개발 수준[A2W2], IPR 확보 가능성[A3W3], 국제 표준화 기여도[A5W5]는 국제 상위 수준에 근접하여 있음. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> <li>- SIPAC 사업과 KIPEX 사업이 종료된 후 국가적인 표준화 활동 지원이 크게 축소되었음. 따라서 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 지원을 강화하거나 독립된 상설 기구화하는 것이 바람직함</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> </ul>
IPR 확보방안	<ul style="list-style-type: none"> <li>- IP Number를 자동으로 생성하는 프로그램을 개발하여 지적재산을 보호할 수 있음</li> <li>- IP Numbering System 자체도 훌륭한 IPR이 될 수 있으며, 특히 우리나라가 이 분야를 선도하고 있으므로 중요하고 가치있는 IPR을 확보 가능</li> </ul>

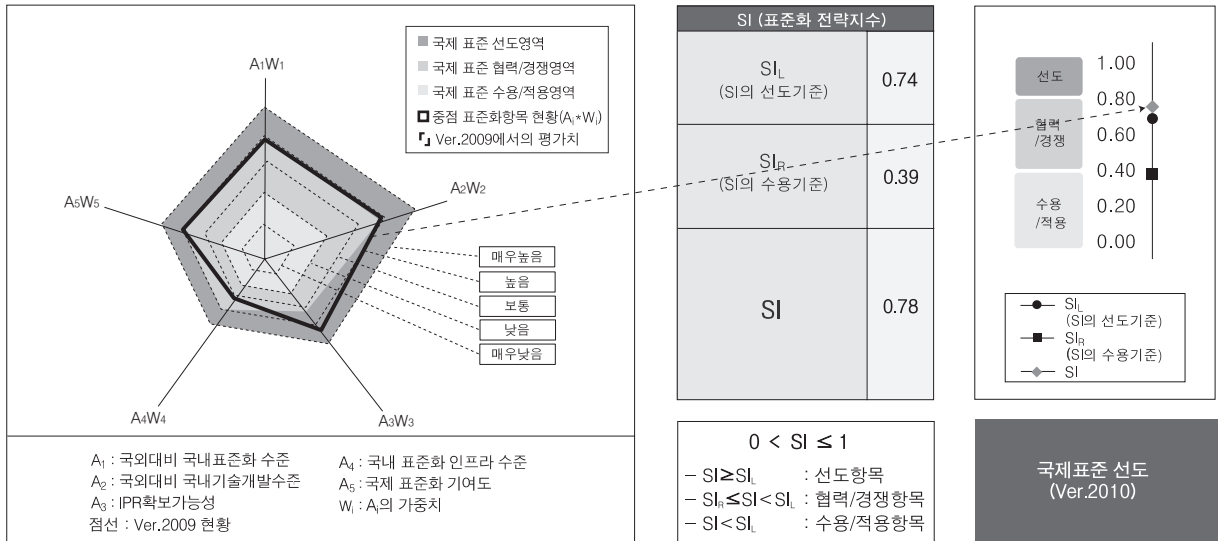
### 3.3.10. Chip-Level Power Management

#### • 표준화-기술개발-IPR 연계분석



표준화 특성	- 후행표준
표준화기술개발-IPR 연계방안	<ul style="list-style-type: none"> <li>- 국내 전문 위원회의 활성화를 유도하여 국제표준 관련 인재육성에 대한 지원을 통한 국가 차원의 국제 표준화 활동 강화</li> <li>- 기업의 기술 경쟁력 확보를 유도하고 산업체의 표준화 활동을 적극 유도</li> <li>- 기존 시스템 수준에서 사용 중인 power management 기술을 바탕으로 칩 수준의 power management 기술을 개발하고 차별성 있는 지적 재산권을 확보</li> <li>- 칩 수준 전력 및 발열량의 예측 및 측정 방법에 대한 새로운 기술과 표준을 제시한 후 국내 표준을 조기 정착하고 국제 특허 출원도 함께 추진함</li> <li>- 국내 표준화를 통해 표준 사용을 권장함으로써 국내 관련 산업의 활성화를 이루고 시장에서의 표준의 문제점을 파악하여 기술을 재정비하고 표준의 개정 도출</li> </ul>

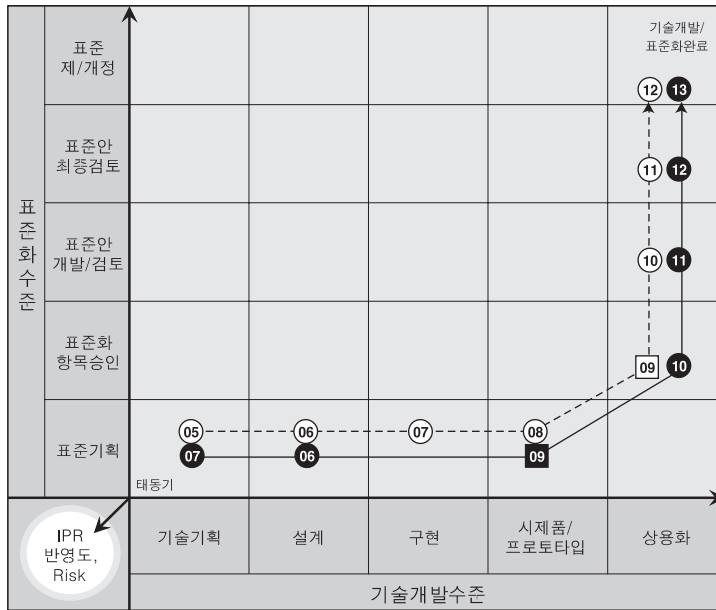
# 국제표준화 전략목표 및 세부전략(안)



<b>국제표준화 전략목표</b>	국제표준 선도(Ver.2010)
<b>Trace Tracking (Ver.2009 → 2010)</b>	- Ver.2009에서는 중점표준화항목에 선정되지 않았으나 최근 SoC가 대형화됨에 따라 Heat Dissipation과 Power Management의 중요성이 크게 증가하여 Ver.2010에서는 중점표준화항목에 선정됨
<b>세부전략(안)</b>	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 신속하게 자체 표준안을 개발하고 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준에도 적극 참여하여야 함</li> <li>- VSIA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 시급히 강화해야 함</li> <li>- Chip-Level Power Management 분야의 국제 표준안은 대형 EDA 회사를 중심으로 이루어지며, 개발된 국제 표준안은 세계적인 SoC 설계 흐름을 좌우하고 있음. 이에 반해 국내에서는 EDA 산업이 취약하여 적극적으로 국제 표준안 제정에 참여하거나 자체 표준안을 제정하기에 많은 어려움이 있음. 따라서 국가적으로 진행되고 있는 인력 양성 사업에서 EDA 전문 인력의 양성이 이루어져야 함</li> <li>- Chip-Level Power Management의 경우 IPR 확보 가능성(A3W3)은 국제 최상위 수준으로 평가됨. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> <li>- SIPAC 사업과 KIPEX 사업이 종료된 후 국가적인 표준화 활동 지원이 크게 축소되었음. 따라서 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 지원을 강화하거나 독립된 상설 기구화하는 것이 바람직함</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> </ul>
<b>IPR 확보방안</b>	- 한국의 경우 power management 기술 개발 수준은 세계 최고 수준이나 표준화가 되어있지 않아 국내의 표준 및 IPR 확보가 미진함. 따라서 기존에 개발된 국내 기술을 바탕으로 국내 표준 및 국제 표준화를 신속하게 추진하며 동시에 이들 표준안에 사용된 기술의 IPR 확보를 추진

### 3.3.11. Netlist Assignment

#### • 표준화-기술개발-IPR 연계분석



표준화 중요도	국내 개발주체		관련 국제 표준화 기구
	표준개발	기술개발	
고(★★★) 중(★★☆) 저(★☆☆)	기술 표준원 SoC Forum TTA PG417	ETRI KETI	IEC IEEE DASC SPIRIT SI2 ACCELLERA

**범 례**

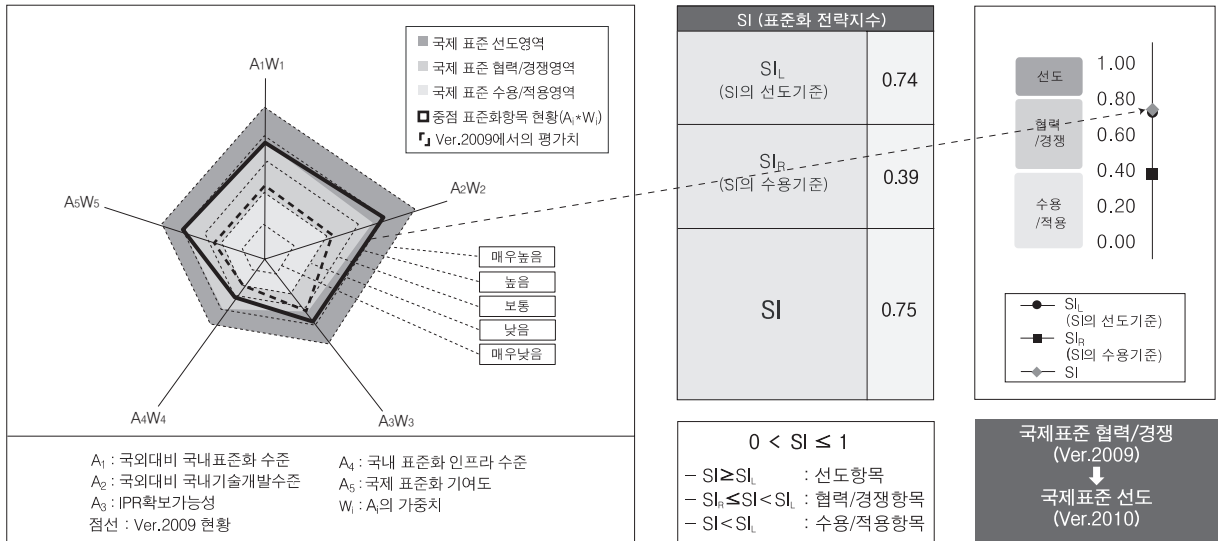
09 : 중점 표준화항목의 국내상태  
 09 : 중점 표준화항목의 국제상태

→ : 중점 표준화항목의 국내 표준상태전이  
 → : 중점 표준화항목의 국제 표준상태전이

↑ : 선행표준(선 표준화 후 기술개발)  
 ↗ : 동시표준(표준화&기술개발 동시추진)  
 → : 후행표준(선 기술개발 후 표준화)

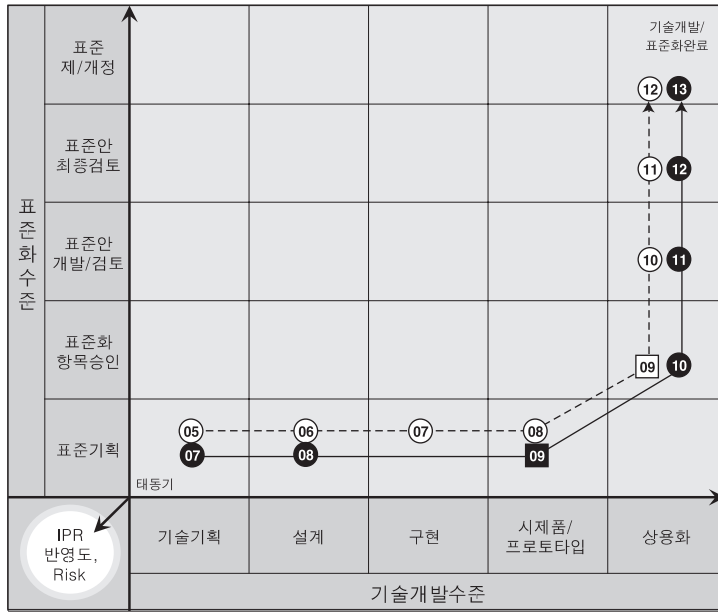
표준화 특성	- 후행표준
표준화-기술개발-IPR 연계방안	- 시스템업체와의 연계를 통해 국내 EDA회사와 국내 칩회사간의 업무 계열화가 필요 - 국외 EDA회사와는 해외 동향을 파악하여 국제 표준에 대비하는 업무 협정 필요

# 국제표준화 전략목표 및 세부전략(안)



### 3.3.12. SI 및 Power

#### • 표준화-기술개발-IPR 연계분석



표준화 중요도	국내 개발주체		관련 국제 표준화 기구
	표준개발	기술개발	
고(★★★) 중(★★☆) 저(★☆☆)	기술 표준원 SoC Forum TTA PG417	ETRI KETI	IEC IEEE DASC SPIRIT SI2 ACCELLERA

#### 범례

09 : 중점 표준화항목의 국내상태

09 : 중점 표준화항목의 국제상태

→ : 중점 표준화항목의 국내 표준상태전이

→ : 중점 표준화항목의 국제 표준상태전이

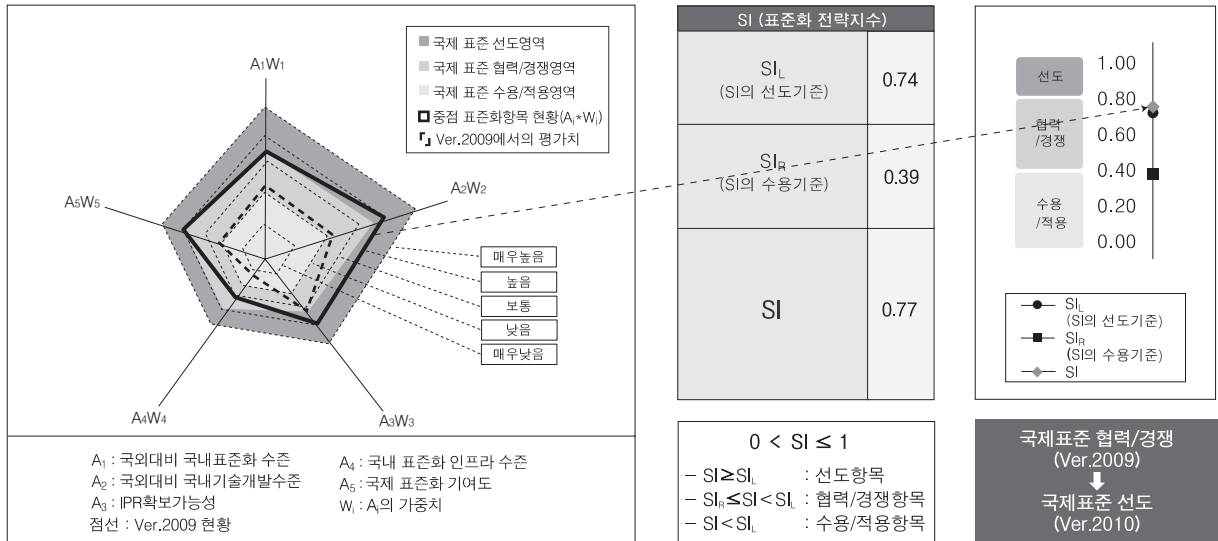
↑ : 선행표준(선 표준화 후 기술개발)

↗ : 동시표준(표준화&기술개발 동시추진)

→ : 후행표준(선 기술개발 후 표준화)

표준화 특성	- 후행표준
표준화기술개발-IPR 연계방안	<p>- SI 및 Power 분야는 PAD 배열, IP 배열 및 layout에 의존성이 크므로 이들에 대한 배치 설계에 대한 표준화 일환으로 제정 필요</p> <p>- 표준화에서는 EMC 문제를 고려해서 칩의 응용/종류별로 IP를 표준화하고 이를 다시 패키지를 고려해 IP 배열 및 IO배열을 표준화할 필요가 있음</p>

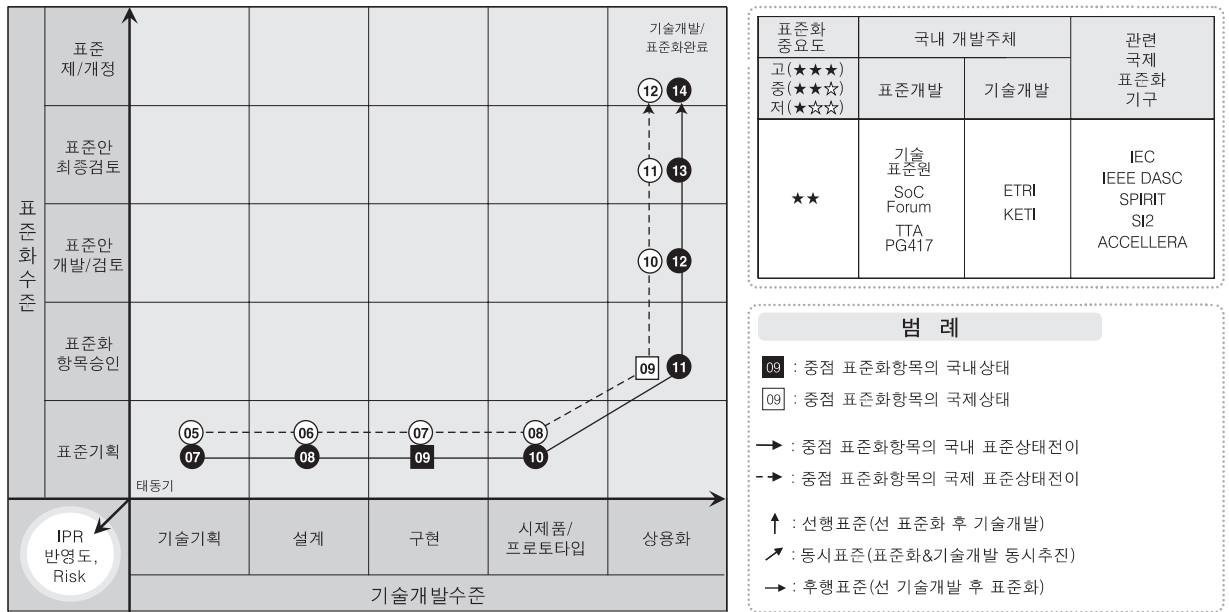
# 국제표준화 전략목표 및 세부전략(안)



국제표준화 전략목표	국제표준 협력/경쟁(Ver.2009) → 국제표준 선도(Ver.2010)
Trace Tracking (Ver.2009 → 2010)	- 최근 SIP 관련 기술 개발이 활발하게 진행됨에 따라 SI 및 Power의 중요성이 크게 증가하였으며, 국내에서도 기술 투자와 기술 개발이 크게 강화되고 TTA PG417을 중심으로 표준화 활동이 매우 활발해짐에 따라 Ver.2010에서는 국제표준 선도로 상황 조정됨
세부전략(안)	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 신속하게 자체 표준안을 개발하고 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준에도 적극 참여하여야 함</li> <li>- VSIA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 사급히 강화해야 함</li> <li>- SI 및 Power 분야의 국제 표준안은 대형 EDA 회사를 중심으로 이루어지며, 개발된 국제 표준안은 세계적인 SoC 설계 흐름을 좌우하고 있음. 이에 반해 국내에서는 EDA 산업이 취약하여 적극적으로 국제 표준안 제정에 참여하거나 자체 표준안을 제정하기에 많은 어려움이 있음. 따라서 국가적으로 진행되고 있는 인력 양성 사업에서 EDA 전문 인력의 양성이 이루어져야 함</li> <li>- SI 및 Power의 경우 기술 개발 주체와 표준화 주체가 가능한 일치하는 것이 좋으며, SoC와 타 기술이 융합된 기술이라는 성격을 감안하여 ETRI 등의 국책연구소가 기술 개발 주체와 표준화 주체를 맡는 것도 좋을 것이라고 생각됨</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> <li>- SI 및 Power의 경우 국내 기술 개발 수준[A2W2], IPR 확보 가능성[A3W3]은 국제 최상위 수준으로 평가됨. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> </ul>
IPR 확보방안	<ul style="list-style-type: none"> <li>- SI와 Power관련 표준화는 모든 반도체에 문제가 되므로 국내 컨소시엄을 바탕으로 세부 표준화 항목을 결정하고 이를 바탕으로 시스템별 적용</li> <li>- 기본 기술은 학교와 연구소가 주도하고 회사의견을 반영하여 표준화가 현재로는 용이해 보임</li> </ul>

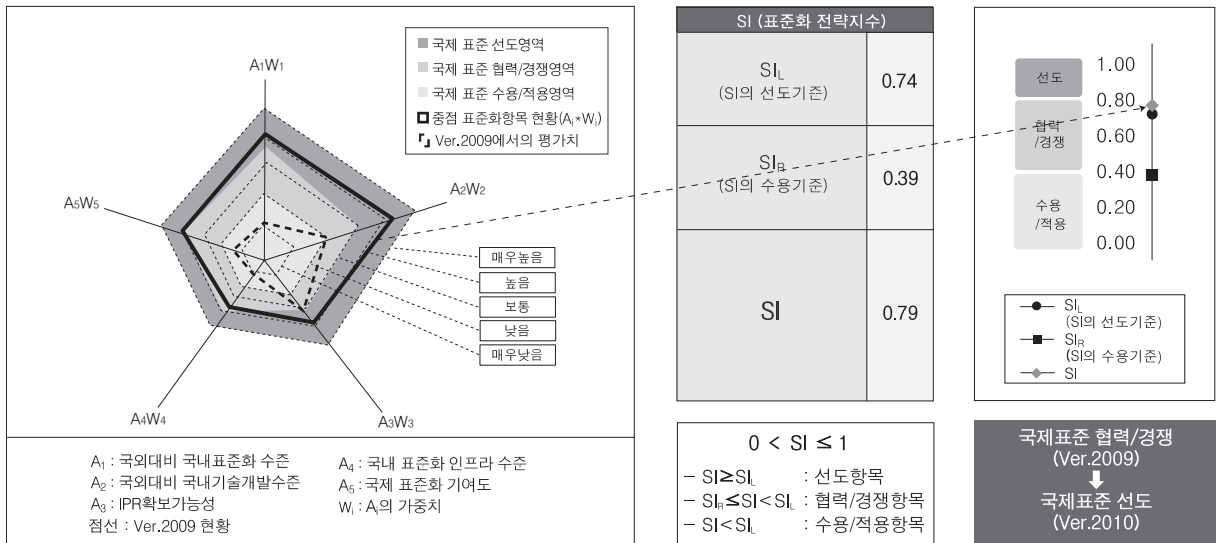
### 3.3.13. MEMS 센서 패키징

#### • 표준화-기술개발-IPR 연계분석



표준화 특성	- 후행표준
표준화-기술개발-IPR 연계방안	<ul style="list-style-type: none"> <li>- MEMS 센서분야는 다품종 소량생산의 value chain을 가지고 있음. 따라서 다양한 제품에 대한 기술개발이 필요함</li> <li>- 현재까지는 상업화된 MEMS센서 부품이 많지 않은 상황이므로 표준화에 대한 수요가 크지 않음. 따라서 개별부품에 대한 표준화를 진행하기 보다는 소지특성에 대한 측정 및 MEMS 소자용 재료의 특성분석에 대한 기술개발이 선행되어야 함</li> <li>- 표준화는 다양한 기술에 대한 IPR의 확보와 동시에 추진하는 것이 유리함</li> </ul>

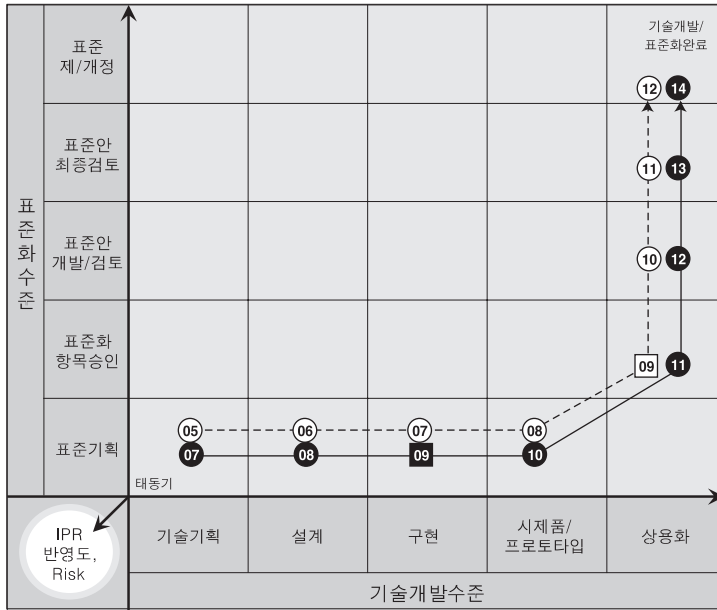
## • 국제표준화 전략목표 및 세부전략(안)



국제표준화 전략목표	국제표준 수용/적용(Ver.2009) → 국제표준 선도(Ver.2010)
<b>Trace Tracking</b> (Ver.2009 → 2010)	- 최근 MEMS 관련 기술 개발이 활발하게 진행됨에 따라 MEMS 센서 패키징의 중요성이 크게 증가하였으며, 국내에서도 기술 투자와 기술 개발이 크게 강화되고 TTA PG417을 중심으로 표준화 활동이 매우 활발해짐에 따라 Ver.2010에서는 국제표준 선도로 상향 조정됨
<b>세부전략(안)</b>	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 신속하게 자체 표준안을 개발하고 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준에도 적극 참여하여야 함</li> <li>- VSA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국책 연구소의 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 시급히 강화해야 함</li> <li>- MEMS 센서 패키징 분야의 국제 표준안은 대형 EDA 회사를 중심으로 이루어지며, 개발된 국제 표준안은 세계적인 SoC 설계 흐름을 좌우하고 있음. 이에 반해 국내에서는 EDA 산업이 취약하여 적극적으로 국제 표준안 제정에 참여하거나 자체 표준안을 제정하기에 많은 어려움이 있음. 따라서 국가적으로 진행되고 있는 인력 양성 사업에서 EDA 전문 인력의 양성이 이루어져야 함</li> <li>- MEMS 센서 패키징의 경우 기술 특성상 사실상의 표준 (De Facto Standard)의 형태가 적합하며, 기술의 상당 부분이 패키징 업체의 개별 사정과 연관이 있으므로 엄격한 형태의 표준안보다는 유연한 형태의 가이드라인이 적합하다고 판단됨</li> <li>- MEMS 센서 패키징의 경우 기술 개발 주체와 표준화 주체가 가능한 일치하는 것이 좋으며, SoC와 타 기술이 융합된 기술이라는 성격을 감안하여 ETRI 등의 국책연구소가 기술 개발 주체와 표준화 주체를 맡는 것도 좋을 것이라고 생각됨</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> <li>- MEMS 센서 패키징의 경우 국내 기술 개발 수준(A2W2), IPR 확보 가능성(A3W3)은 국제 최상위 수준으로 평가됨. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> </ul>
<b>IPR 확보방안</b>	<ul style="list-style-type: none"> <li>- MEMS 소자 및 패키징에 대한 연구 및 개발은 다품종 소량생산에 기반하여 진행되고 있음. 따라서 대기업중심의 개발보다는 소규모 품목별 생산이 유리한 중소기업들을 중심으로 기술개발이 되는 것이 유리함</li> <li>- 또한 국내의 MEMS 소자 및 패키징에 대한 기술개발은 주로 대학과 정부출연연구소를 중심으로 이루어 지고 있음. 따라서 기술개발과제를 통한 산학연의 연계과정을 통하여 공동의 IPR을 확보하는 것이 유리함</li> </ul>

### 3.3.14. mm과 SoC 패키징

#### • 표준화-기술개발-IPR 연계분석



표준화 중요도	국내 개발주체		관련 국제 표준화 기구
	표준개발	기술개발	
고(★★★) 중(★★☆) 저(★☆☆)	기술 표준원 SoC Forum TTA PG417	ETRI KETI	IEC IEEE DASC SPIRIT SI2 ACCELLERA

**범례**

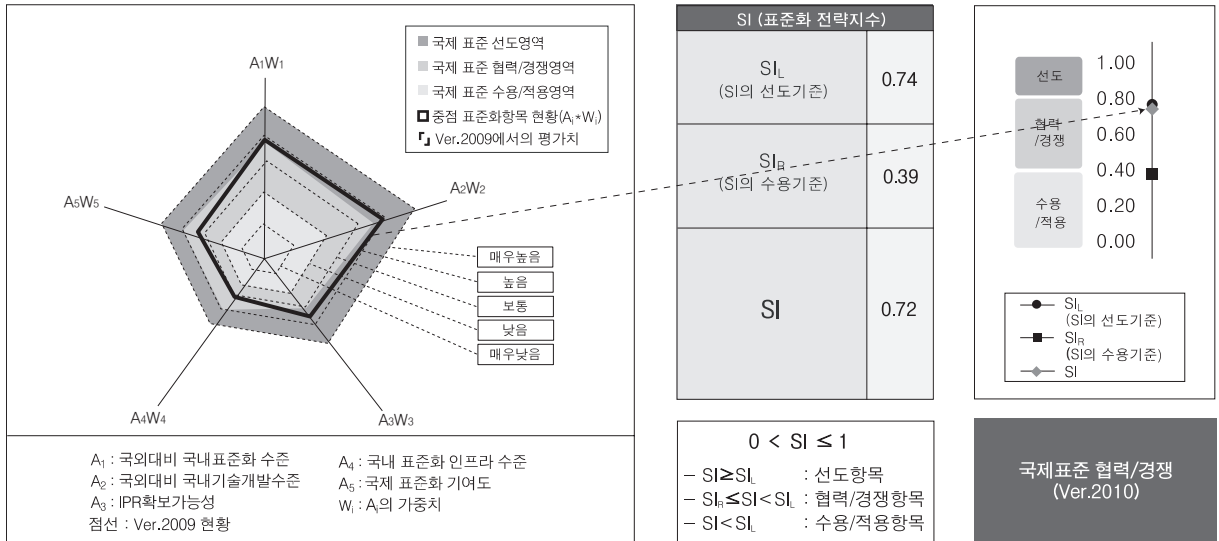
09 : 중점 표준화항목의 국내상태  
09 : 중점 표준화항목의 국제상태

→ : 중점 표준화항목의 국내 표준상태전이  
→ : 중점 표준화항목의 국제 표준상태전이

↑ : 선행표준(선 표준화 후 기술개발)  
↗ : 동시표준(표준화&기술개발 동시추진)  
→ : 후행표준(선 기술개발 후 표준화)

표준화 특성	- 후행표준
표준화-기술개발-IPR 연계방안	<ul style="list-style-type: none"> <li>- 국내 전문 위원회의 활성화를 유도하여 국제표준 관련 인재육성에 대한 지원을 통한 국가 차원의 국제 표준화 활동 강화</li> <li>- 기업의 기술 경쟁력 확보를 유도하고 산업체의 표준화 활동을 적극 유도</li> <li>- 기존 낮은 주파수 대역에서 사용 중인 패키지 기술을 바탕으로 하여 mm파 환경에 맞는 mm파 SoC 부품에 대한 패키지를 개발하고 이로부터 도출된 기술에 대해 차별성있는 지적 재산을 확보</li> <li>- 기존 표준화 기술에 대한 분석 및 지속적인 모니터링을 통하여 표준화된 기술의 문제점 발견과 발전방향에 대한 정확한 예측을 통하여 지적 재산권 확보가 가능한 기술 도출</li> <li>- mm파 SoC 패키징에 대한 국내 표준을 조기 정착하고 국제 특허 출원도 함께 추진함</li> <li>- 국내 표준화를 통해 표준 사용을 권장함으로써 국내 관련 산업의 활성화를 이루고 시장에서의 표준의 문제점을 파악하여 기술을 재정비하고 표준의 개정 도출</li> <li>- mm파 SoC 패키징에 관련하여 국제 특허를 바탕으로 한 국제 표준화를 추진하되 여의치 않을 경우에는 주변국가와의 연계된 특허를 추가하여 공용화 측면에서의 표준화를 추진함</li> </ul>

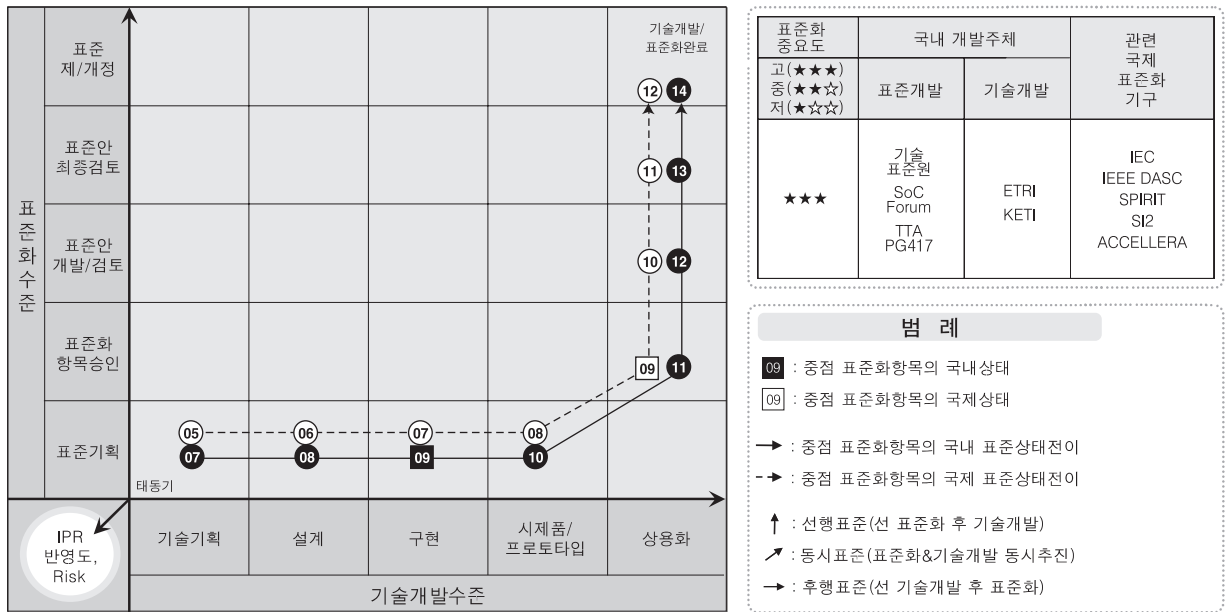
• 국제표준화 전략목표 및 세부전략(안)



국제표준화 전략목표	국제표준 협력/경쟁(Ver.2010)
Trace Tracking (Ver.2009 → 2010)	- Ver.2009에서는 중점표준화항목에 선정되지 않았으나 최근 SoC가 초고속화됨에 따라 mm파 SoC 패키징의 중요성이 크게 증가하여 Ver.2010에서는 중점표준화항목에 선정됨
세부전략(안)	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 자체 표준안 개발과 아울러 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준을 신속하게 수용하여야 함</li> <li>- VLSI의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국제 연구소의 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 시급히 강화해야 함</li> <li>- mm파 SoC 패키징 분야의 국제 표준안은 대형 EDA 회사를 중심으로 이루어지며, 개발된 국제 표준안은 세계적인 SoC 설계 흐름을 좌우하고 있음. 이에 반해 국내에서는 EDA 산업이 취약하여 적극적으로 국제 표준안 제정에 참여하거나 자체 표준안을 제정하기에 많은 어려움이 있음. 따라서 국가적으로 진행되고 있는 인력 양성 사업에서 EDA 전문 인력의 양성이 이루어져야 함</li> <li>- mm파 SoC 패키징의 경우 기술 특성상 사실상의 표준 (De Facto Standard)의 형태가 적합하며, 기술의 상당 부분이 패키징 업체의 개별 사정과 연관이 있으므로 엄격한 형태의 표준안보다는 유연한 형태의 가이드라인이 적합하다고 판단됨</li> <li>- mm파 SoC 패키징의 경우 기술 개발 주체와 표준화 주체가 가능한 일치하는 것이 좋으며, SoC와 타 기술이 융합된 기술이라는 성격을 감안하여 ETRI 등의 국제연구소가 기술 개발 주체와 표준화 주체를 맡는 것도 좋을 것이라고 생각됨</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준위원회의 연계 및 협력이 절대적으로 필요함</li> <li>- mm파 SoC 패키징의 경우 국내 기술 개발 수준[A2W2], IPR 확보 가능성[A3W3]은 국제 상위 수준에 근접하여 있음. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> </ul>
IPR 확보방안	- 기존 저주파수의 패키지 기술을 바탕으로 하여 mm파 환경에 맞는 mm파 SoC 부품에 대한 패키지를 개발하고 이로부터 도출된 기술에 대해 차별성있는 지적 재산권을 확보

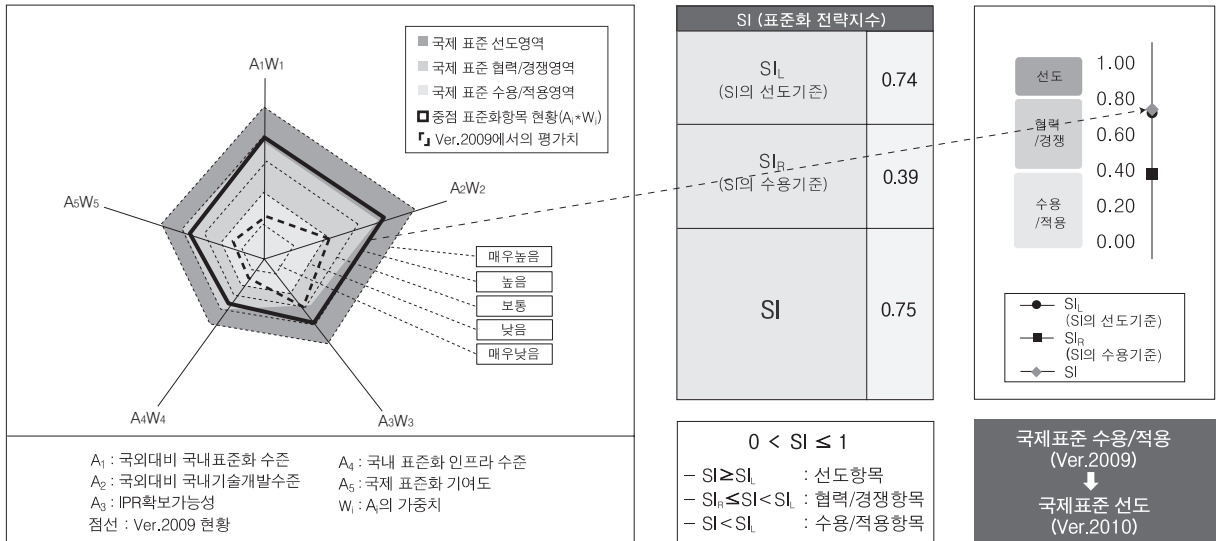
### 3.3.15. USN 센서 하드웨어 인터페이스

#### • 표준화-기술개발-IPR 연계분석



표준화 특성	- 후행표준
표준화-기술개발-IPR 연계방안	<ul style="list-style-type: none"> <li>- USN 센서 플랫폼에 대한 기술적 수요는 급격히 증대되고 있음. 플랫폼내에서의 인터페이스 구현은 태동기에 해당하므로 앞으로 연구개발에 대한 수요가 증가할 것으로 예측됨</li> <li>- USN 관련 기술은 통신의 표준화와 더불어 빠르게 진행되고 있음. 따라서 기술개발시점에서 표준화를 추진하며, IPR의 확보는 기술개발과 병행하여 진행하는 것이 바람직함</li> </ul>

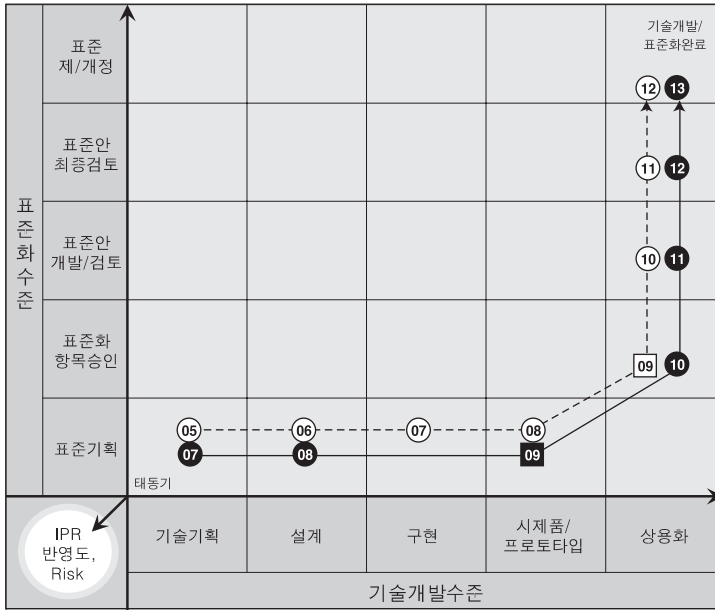
# • 국제표준화 전략목표 및 세부전략(안)



국제표준화 전략목표	국제표준 수용/적용(Ver.2009) → 국제표준 선도(Ver.2010)
Trace Tracking (Ver.2009 → 2010)	- 최근 USN 관련 기술 개발이 활발하게 진행됨에 따라 USN 센서 인터페이스의 중요성이 크게 증가하였으며, 국내에서도 기술 투자와 기술 개발이 크게 강화되고 TTA PG417을 중심으로 표준화 활동이 매우 활발해짐에 따라 Ver.2010에서는 국제표준 선도로 상향 조정됨
세부전략(안)	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 신속하게 자체 표준안을 개발하고 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준에도 적극 참여하여야 함</li> <li>- VSIA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국책 연구소의 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 시급히 강화해야 함</li> <li>- USN 센서 하드웨어 인터페이스의 경우 기술 특성상 사실상의 표준 (De Facto Standard)의 형태가 적합하며, 다양한 센서를 단일 프레임워크의 표준안에서 지원하기가 사실상 불가능하므로 엄격한 형태의 표준안보다는 유연한 형태의 가이드라인이 적합하다고 판단됨</li> <li>- USN 센서 하드웨어 인터페이스의 경우 기술 개발 주체와 표준화 주체가 가능한 일치하는 것이 좋으며, SoC와 타 기술이 융합된 기술이라는 성격을 감안하여 ETRI 등의 국책연구소가 기술 개발 주체와 표준화 주체를 맡는 것도 좋을 것이라고 생각됨</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> <li>- USN 센서 하드웨어 인터페이스의 경우 IPR 확보 가능성[A3W3]은 국제 최상위 수준으로 평가됨. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> </ul>
IPR 확보방안	- USN 기술은 통신기술과 더불어 개발되어야 함. 따라서 서비스의 콘텐츠는 정부출연연구소를 중심으로 하는 산학연 컨소시엄을 통해 개발함으로써 IPR을 확보하고, 통신과 결합된 특화된 서비스 기술개발과 관련한 IPR은 통신서비스가 가능한 대형통신사업자를 중심으로 확보하는 것이 효과적임

### 3.3.16. Chip-Level EMC

#### • 표준화-기술개발-IPR 연계분석



표준화 중요도	국내 개발주체		관련 국제 표준화 기구
	표준개발	기술개발	
고(★★★) 중(★★☆) 저(★☆☆)	기술 표준원 SoC Forum TTA PG417	ETRI KETI	IEC IEEE DASC SPIRIT SI2 ACCELLERA

**범 례**

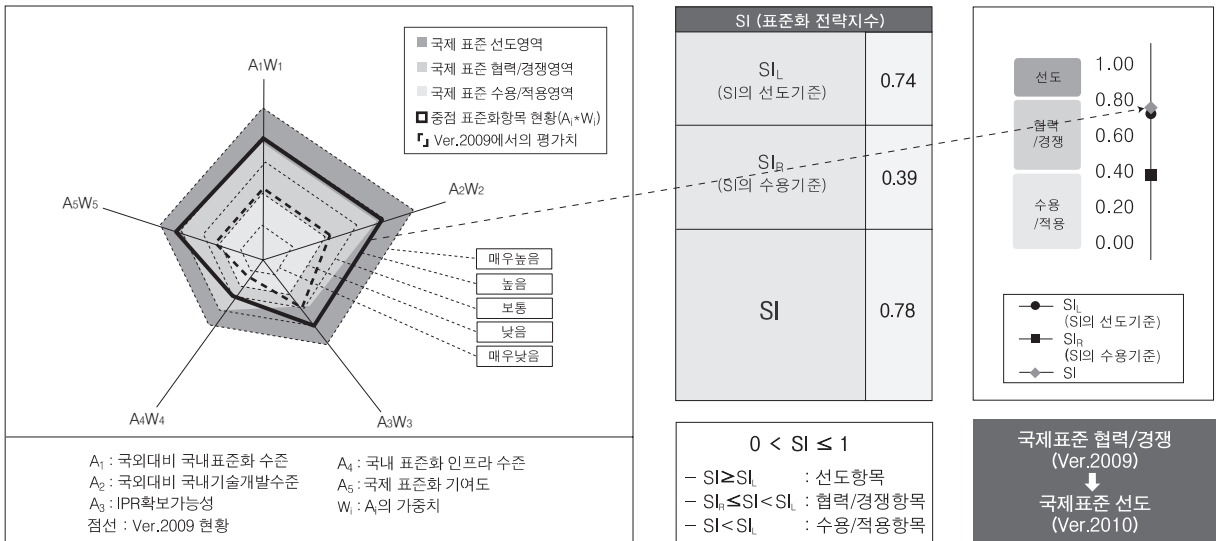
09 : 중점 표준화항목의 국내상태  
09 : 중점 표준화항목의 국제상태

→ : 중점 표준화항목의 국내 표준상태전이  
-→ : 중점 표준화항목의 국제 표준상태전이

↑ : 선행표준(선 표준화 후 기술개발)  
↗ : 동시표준(표준화&기술개발 동시추진)  
→ : 후행표준(선 기술개발 후 표준화)

표준화 특성	- 후행표준
표준화-기술개발-IPR 연계방안	- IEC의 기제정표준에 대응하도록 활동하면서 그에 수반되는 기술개발 과정에서 상당수의 IPR 발생이 예상되며, 새로운 IEC표준을 제안 하며 제정하는 과정에서 상당수의 IPR 발생 예상

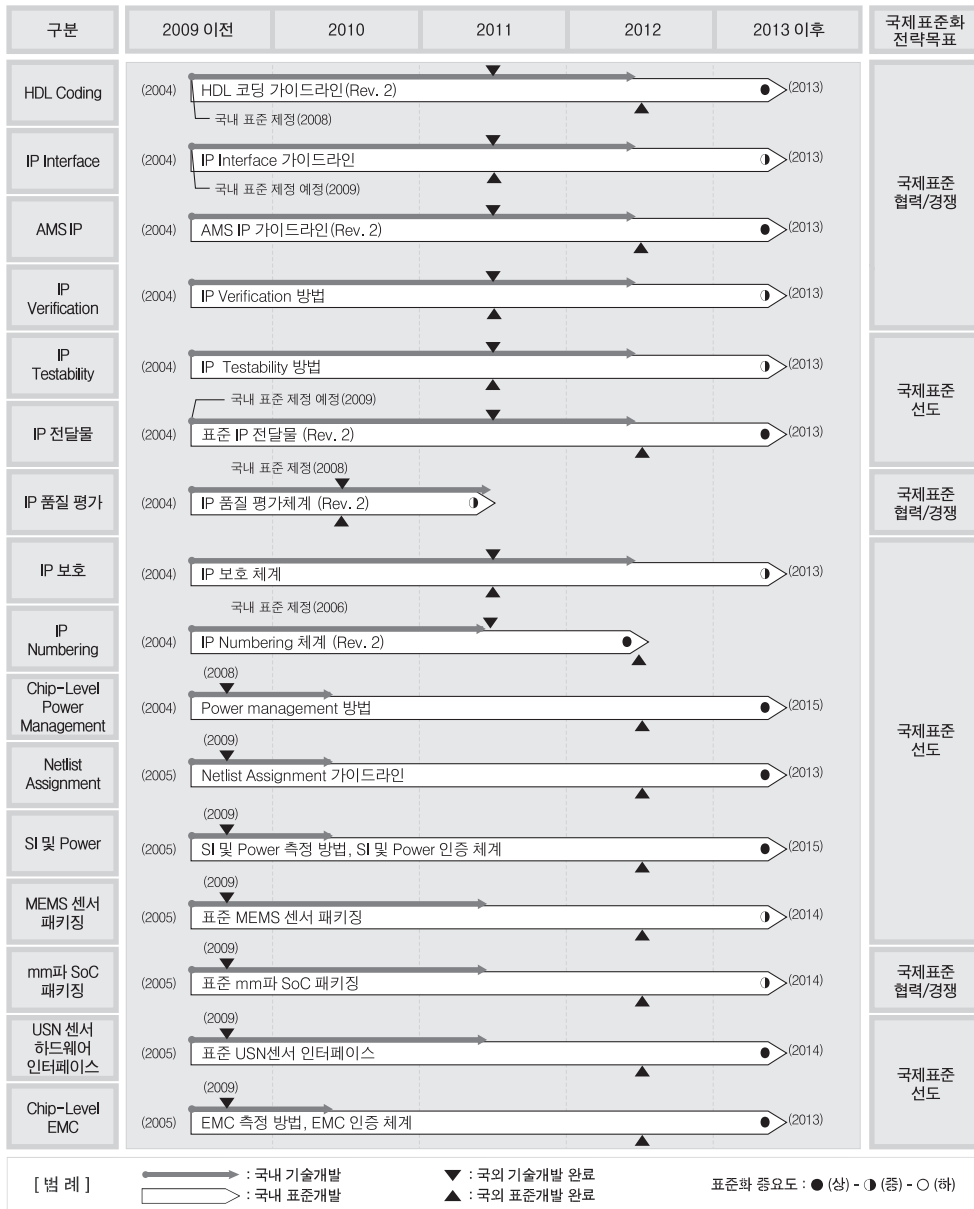
• 국제표준화 전략목표 및 세부전략(안)



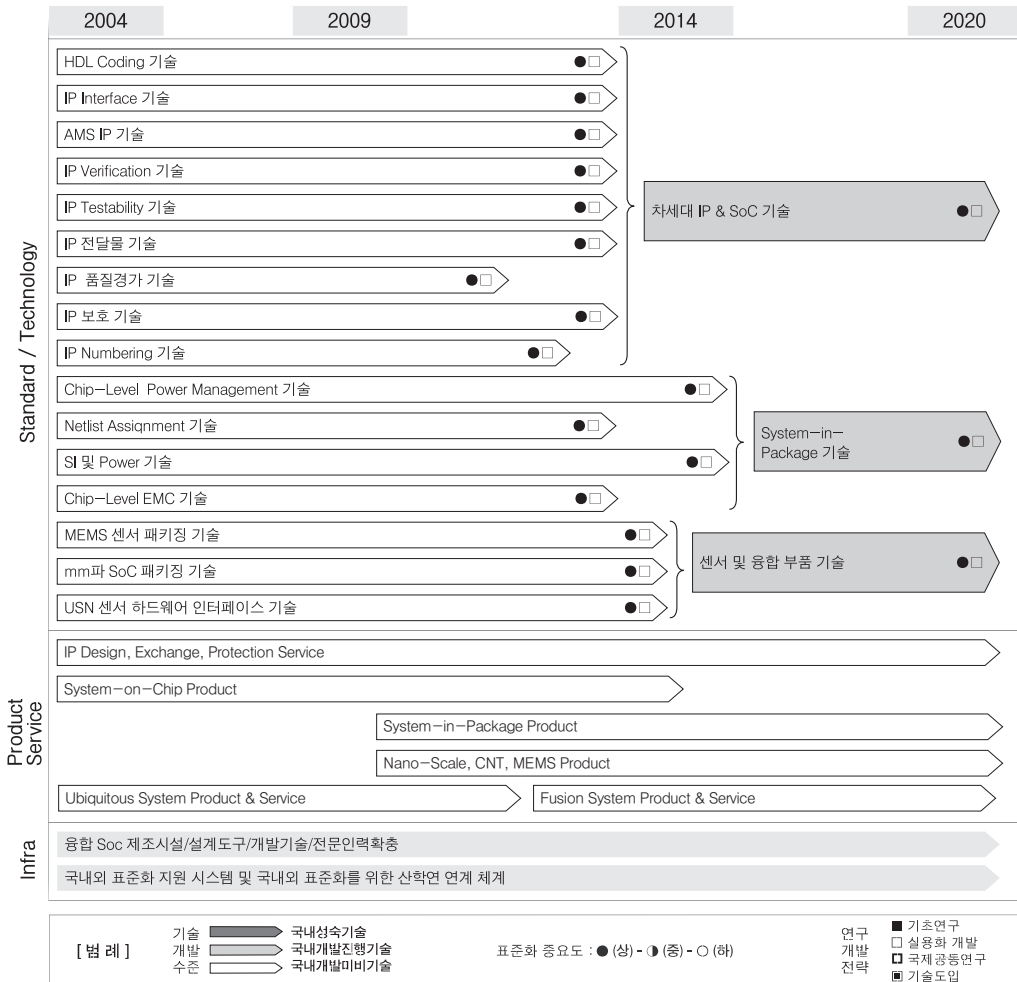
국제표준화 전략목표	국제표준 협력/경쟁(Ver.2009) → 국제표준 선도(Ver.2010)
Trace Tracking (Ver.2009 → 2010)	- 최근 SIP 관련 기술 개발이 활발하게 진행됨에 따라 Chip-Level EMC의 중요성이 크게 증가하였으며, 국내에서도 기술 투자와 기술 개발이 크게 강화되고 TTA PG417을 중심으로 표준화 활동이 매우 활발해짐에 따라 Ver.2010에서는 국제표준 선도로 상향 조정됨
세부전략(안)	<ul style="list-style-type: none"> <li>- 국내 산업의 실정에 맞도록 신속하게 자체 표준안을 개발하고 IEEE DASC, SPIRIT, SI2, Accellera 등의 국제 표준에도 적극 참여하여야 함</li> <li>- VSIA의 활동을 인계받은 IEEE DASC의 경우, 국내 연구소 및 산업체의 참여가 상당히 미진한 상황임. 따라서 공공성이 강한 국제 연구소의 국제 표준화 활동을 크게 장려할 필요가 있음</li> <li>- 자체 표준안 개발의 주체인 SoC Forum 및 TTA PG417의 경우 개발 의지가 강력하고 비교적 활발한 활동을 벌이고 있으나 국가적인 재정 및 정책 지원 미비로 인하여 많은 어려움을 겪고 있음. 따라서 SoC Forum 및 TTA PG417에 대한 지원을 시급히 강화해야 함</li> <li>- Chip-Level EMC 분야의 국제 표준안은 대형 EDA 회사를 중심으로 이루어지며, 개발된 국제 표준안은 세계적인 SoC 설계 흐름을 좌우하고 있음. 이에 반해 국내에서는 EDA 산업이 취약하여 적극적으로 국제 표준안 제정에 참여하거나 자체 표준안을 제정하기에 많은 어려움이 있음. 따라서 국가적으로 진행되고 있는 인력 양성 사업에서 EDA 전문 인력의 양성이 이루어져야 함</li> <li>- Chip-Level EMC의 경우 기술 개발 주체와 표준화 주체가 가능한 일치하는 것이 좋으며, SoC와 타 기술이 융합된 기술이라는 성격을 감안하여 ETRI 등의 국제연구소가 기술 개발 주체와 표준화 주체를 맡는 것도 좋을 것이라고 생각됨</li> <li>- 또한 ISO/IEC의 표준화 활동을 총괄하고 있는 기술표준원과의 연계 및 협력이 절대적으로 필요함</li> <li>- Chip-Level EMC의 경우 국내 기술 개발 수준[A2W2], IPR 확보 가능성[A3W3]은 국제 최상위 수준으로 평가됨. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보를 강화해야 함</li> </ul>
IPR 확보방안	- 기존의 IEC 표준 대응과정에서의 기술개발과제를 통한 확보와, 새로운 표준안을 제안하는 과정에서 많은 수의 IPR 확보 가능

### 3.4. 중장기 표준화로드맵

#### 3.4.1. 중점 표준화항목별 중기( '10~' 12) 표준화로드맵



## 3.4.2. 장기 표준화로드맵(10년 기술예측)



## [국내외 관련표준 대응리스트]

구분	표준화항목	표준명	기구 (업체)	제정 연도	제개정 현황	국내 관련표준	국내 추진기구
IP 설계 및 검증 기술	HDL Coding	Soft and Hard VC Structural, Performance and Physical Modeling Specification	VSIA	2004	초안	HDL Coding	SoC Forum
	IP Interface	System-Level Interface Behavioral Documentation Standard	VSIA	2000	제정/개정	IP Interface	SoC Forum
	AMS IP	Analog/Mixed-Signal VSI Extension Specification	VSIA	1999	초안	AMS IP	SoC Forum
	IP Verification	VC/SoC Functional Verification Specification	VSIA	2004	제정/개정	IP Verification	SoC Forum
	IP Testability	Test Access Architecture Standard	VSIA	2001	제정/개정	IP Testability	SoC Forum
IP 유통 표준	IP 전달물	VSIA Deliverables Document	VSIA	2002	제정/개정	IP 전달물	SoC Forum
	IP 품질 평가	VSIA QIP Metric	VSIA	2004	초안	IP 품질 평가	SoC Forum
	IP 보호	Technical Measures and Best Practices for Securing Proprietary Information	VSIA	2002	초안	IP 보호	SoC Forum
고에너지 효율기술	Chip-Level Power Management	-	-	-	-	-	-
Chip- Package Codesign 기술	Netlist Assignment	-	-	-	-	Netlist Assignment	SoC Forum
부품 기술	MEMS 센서 패키징	Signal Integrity Specification	VSIA	2004	초안	SI 및 Power	SoC Forum
	mm파 SoC 패키징	-	-	-	-	-	-
EMC 기술	USN 센서 하드웨어 인터 페이스	-	-	-	-	-	-
Chip-Level EMC	Chip-Level EMC	-	-	-	-	Chip-Level EMC	SoC Forum

## [참고문헌]

- [1] IT SoC 산업 동향, IT-SoC 협회
- [2] VSIA, [www.vsia.org](http://www.vsia.org)
- [3] SI2, [www.si2.org](http://www.si2.org)
- [4] ACCELLERA, [www.accellera.org](http://www.accellera.org)
- [5] SPIRIT, [www.spiritconsortium.org](http://www.spiritconsortium.org)
- [6] SoC 포럼, [www.socforum.org](http://www.socforum.org)
- [7] KISTI, [www.kisti.re.kr](http://www.kisti.re.kr)
- [8] ITFIND, [www.itfind.or.kr](http://www.itfind.or.kr)
- [9] OCP, [www.ocpip.org](http://www.ocpip.org)
- [10] IEEE DASC, [www.dasc.org](http://www.dasc.org)
- [11] IT839 전략 기획보고서(5, IT-SoC), 정보통신연구진흥원, 2004년 6월
- [12] IT839 전략 표준화 로드맵 종합보고서, ver.2007, p166-209, 한국정보통신기술협회, 2006년 12월
- [13] HDL을 이용한 SoC 및 IP 설계 기법, 강성호외 3인, 홍릉과학출판사, 2004년 4월
- [14] ITRS(International Technology Roadmap for Semiconductors), <http://www.itrs.net>
- [15] SiP 기술, 주간기술동향, 2006년 4월
- [16] IT839 전략의 차세대 수출 주력 품목 해외 진출 전략 개발, 정보통신연구진흥원, 2006년 9월
- [17] IT SoC 시장현황 및 경쟁력 분석, 정보통신정책, 2005년 10월
- [18] 전세계 IT SoC 시장 현황, 정보통신정책, 2005년 3월
- [19] 반도체 산업의 현황 및 전망, 한국반도체연구조합, 2009년 7월
- [20] 반도체 산업 동향, 한국전자산업진흥회, 2008년 3월
- [21] 한국산업의 발전비전 2020, 산업연구원, 2007년 2월

## [약어]

ADC	Analog-Digital Converter
AMS	Analog Mixed Signal
DAC	Digital-Analog Converter
DTV	Digital TV
DASC	Design Automation Standards Committee
EMC	Electromagnetic Compatibility
ETRI	Electronics and Telecommunications Research Institute
HDL	Hardware Description Language
IEC	International Electrotechnical Commission
IEEE	Institute of Electrical and Electronics Engineers
IP	Intellectual Property
ITRI	Industrial Technology Research Institute
IMEC	Inter-University Microelectronics Center

---

KIPEX	Korean Semiconductor Intellectual Property Exchange
KETI	Korea Electronics Technology Institute
MEMS	Micro Electro-Mechanical System
OCP/IP	Open Core Protocol International Partnership
PLL	Phase-Locked Loop
SI	Signal Integrity
SI2	Silicon Integration Initiative
SiP	System-in-Package
SPIRIT	Structure for Packaging, Integrating, and Reusing IP within Tool Flows
SIPAC	System Integration and IP Authoring Center
SoC	System-on-Chip
STARC	Semiconductor Technology Academic Research Center
TTA	Telecommunications Technology Association
TTM	Time to Market
USN	Ubiquitous Sensor Network
VSIA	Virtual Socket Interface Alliance