



# 나노 SoC

## 1. 개요

### 1.1. 기술개요

#### 1.1.1. 중점기술 및 표준화 대상항목의 정의

- 중점기술의 정의

나노 SoC 기술은 IP를 재사용하는 Block 기반 설계 또는 Platform 기반 설계에 의하여 System-on-Chip을 설계, 개발 및 구현하는 방법

- 나노 SoC는 정보통신기기의 핵심기능을 처리하는 메모리, 디지털 회로, 아날로그 회로, CPU, 센서 등이 통합된 복잡한 시스템을 하나의 반도체 칩에 집적하는 기술
- IP는 동작이 검증되고 나노 SoC 설계에서 재사용이 가능한 설계 Block을 의미
- IP를 기반으로 SoC를 설계하는 방법에는 블록 기반 설계방법과 플랫폼 기반 설계 방식이 있음. 블록 기반 설계는 시스템을 여러 블록으로 설계하고 필요로하는 IP들은 기존의 IP를 재사용하거나 IP 공급자로부터 구입하여 시스템을 구성하고 검증하는 방법임
- 플랫폼 기반 설계는 공통적인 아키텍처와 중앙 프로세서에 상주하는 OS등 범용적인 플랫폼을 구성해 놓고 필요에 따라서 소프트웨어를 변경하거나 새로운 기능 블록을 추가하는 방법으로 시스템을 재구성하는 것임

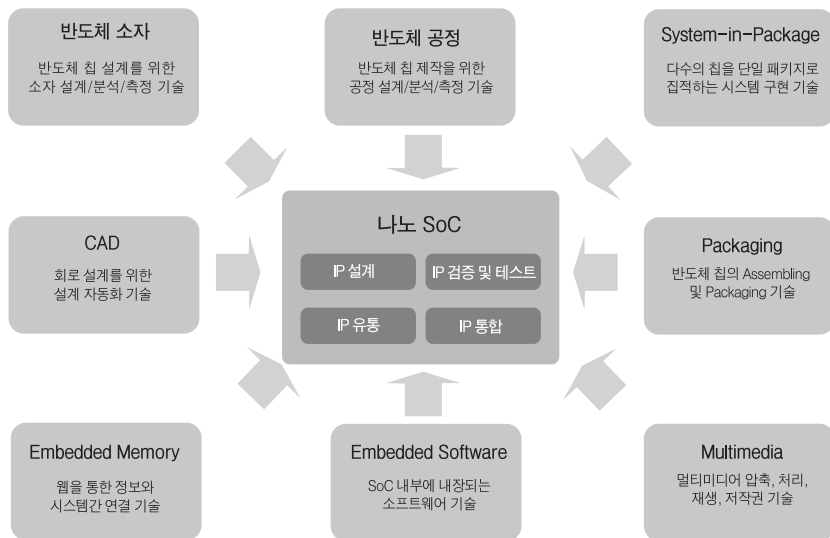
- 표준화항목의 정의

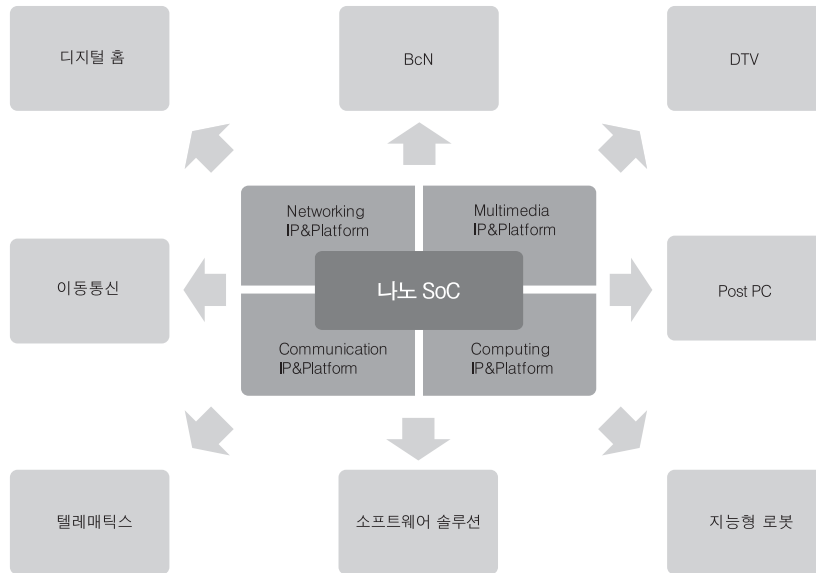
- 나노 SoC와 관련된 요소기술은 (1) 나노 SoC를 구현하는 기본 요소인 IP를 설계 및 개발하는 기술, (2) IP를 검증하고 테스트하는 기술, (3) IP를 유통하기 위한 표준 및 인프라, (4) 나노 SoC 시스템을 물리적으로 통합하는 기술로 나눌 수 있음

구분	정의	표준화 대상항목	표준화 내용
IP 설계 기술	IP를 설계 및 개발하는 기술	HDL Coding	HDL 언어 표준 확장 및 시스템을 기술 (description)하는 방법
		IP Interface	IP 상호 연결을 위한 연결 방법
		AMS IP	아날로그/혼성신호 IP의 재사용을 위한 방법
		Platform-Based Design	IP 재사용이 용이하도록 구성된 Platform 및 이를 사용한 설계 방법
IP 검증 및 테스트 기술	IP를 검증하고 테스트하는 기술	IP Test/Verification	IP의 검증 및 테스트 방법
IP 유통 표준	IP를 유통하기 위한 표준 및 인프라	IP 전달물	IP 사용자에게 IP가 전달될 때 재사용이 용이하도록 전달해야 할 항목
		IP 품질 평가	IP 사용자가 IP 구매 전에 IP의 품질에 대한 정보를 제공하기 위한 항목
		IP 보호	IP 거래에 있어서, 법적인 IP 보호, 기술적 IP 보호에 대한 방법
		IP Numbering	IP 유통 및 관리가 용이하게 하기 위한 표준화된 넘버링 방법
IP 통합 기술	시스템을 물리적으로 통합하기 위한 기술	Chip-Package Codesign	다수의 Chip과 Package를 물리적으로 통합하기 위해 공유해야 할 항목

### 1.1.2. 연관기술 분석

#### • 연관기술 관계도





#### • 연관기술 분석표

연관기술	내용	표준화기구/단체		표준화수준		기술개발수준	
		국내	국외	국내	국외	국내	국외
IP 설계	IP를 설계 및 개발하는 기술	SoC Forum /TTA	VSIA SPIRIT	표준 제/개정	표준 제/개정	상용화	상용화
IP 검증 및 테스트	IP를 검증하고 테스트하는 기술	SoC Forum /TTA	VSIA SPIRIT	표준기획	표준안 최종검토	구현	상용화
IP 유통	IP를 유통하기 위한 표준 및 인프라	SoC Forum /TTA	VSIA SPIRIT	표준 제/개정	표준 제/개정	상용화	상용화
IP 통합	시스템을 물리적으로 통합하기 위한 기술	-	-	표준기획	표준화항목 승인	기술기획	시제품 /프로토타입
반도체 소자	반도체 칩 설계를 위한 소자 설계/분석/측정 기술	-	ITRS	-	-	상용화	상용화
반도체 공정	반도체 칩 제작을 위한 제조 기술	-	ITRS	-	-	상용화	상용화
System-in-Package	다수의 칩을 단일 패키지로 집적하는 시스템 통합 기술	-	-	-	-	기술기획	시제품 /프로토타입
CAD	회로 설계를 위한 설계 자동화 기술	SoC Forum /TTA	SI2/ Accellera	표준 제/개정	표준 제/개정	상용화	상용화
Packaging	반도체 칩의 Assembling 및 Packaging 기술	-	-	-	-	상용화	상용화
Embedded Memory	SoC 내부에 메모리를 내장하는 기술	-	-	-	-	상용화	상용화
Embedded Software	SoC 내부에 내장되는 소프트웨어 기술	-	-	-	-	상용화	상용화
Multimedia	멀티미디어 압축, 처리, 재생, 저작권 기술	MPEG Korea	ISO/ITU-T	표준 제/개정	표준 제/개정	상용화	상용화

## 1.2. 추진경과 및 중점 추진방향

### • 추진경과

- 나노 SoC의 전 단계인 IT SoC는 2004년 (Ver.2005)부터 중점 기술 표준화 대상 항목으로 선정되었으며, 2007년 (Ver.2008)에 들어와서 IT SoC의 다음 단계인 나노 SoC가 중점 기술로 선정되었음
- 2004년(Ver.2005)에는 SoC의 설계에 핵심 요소인 IP 설계 기술, IP의 유통 표준, IP 검증 및 테스트 기술과 관련된 항목을 중점 표준화 항목으로 선정하였음
- 2005년(Ver.2006)에는 중점 표준화 대상 항목인 IP 유통 표준, IP 설계 기술, IP 검증 및 테스트 기술의 3가지 요소 기술에 관련된 세부대상 표준화 대상인 IP 전달물 표준, IP 품질평가 표준, IP 보호 표준, IP Numbering 표준, HDL Coding 방법, IP Interface, AMS IP 설계, Platform 기반 설계, IP Test/Verification 기술 표준화항목에 대해서 로드맵을 보완함
- 2006년(Ver.2007)에는 Ver.2006의 내용을 보완하였으며, 특히 2006년에 SIPAC 사업이 종료됨에 따라 국내 표준 안의 추진 체계 및 로드맵을 수정 보완하였음

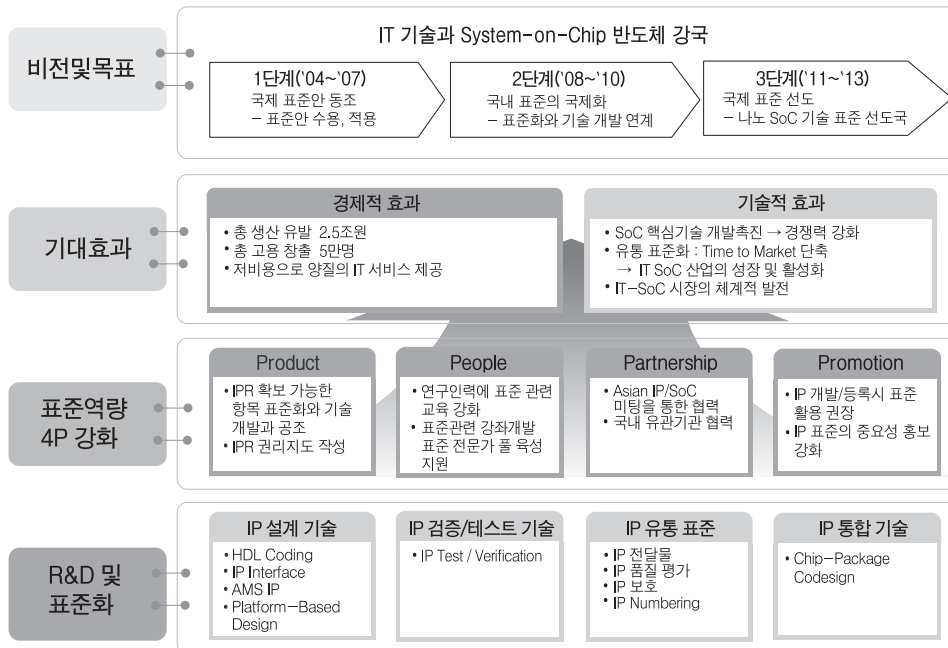
항목	2004년 (Ver.2005)	2005년 (Ver.2006)	2006년 (Ver.2007)
추진 경과	- 표준화 대상 중점기술로 처음 선정됨 - 기술 표준화 대상 항목 확정	- 다수의 기술 표준화 대상 항목 및 로드맵 보완	- SIPAC 사업 종료에 따라 추진 체계 및 로드 맵 수정 보완
중점 기술	IP 유통 표준	IP 유통 표준	IP 유통 표준
	IP 설계 기술	IP 설계 기술	IP 설계 기술
	IP 검증 및 테스트 기술	IP 검증 및 테스트 기술	IP 검증 및 테스트 기술

### • 중점 추진방향

- 2007년 나노 SoC 표준화 로드맵 (Ver.2008)에서는 Ver.2007의 표준화 대상 항목인 IP 유통 표준, IP 설계 기술, IP 검증 및 테스트 기술에 덧붙여서 나노 SoC의 중요 기술인 IP 통합 기술을 추가함
- Ver.2007까지의 표준화 로드맵에서 제시한 중기 (3년) 및 장기 (10년) 표준화 로드맵은 그동안 나노 SoC 표준화 작업의 근간이 되어왔으며 이에 의거하여 SoC Forum 및 TTA PG107에서 작성한 표준화 작업이 어느 정도 가시적인 성과물을 보이고 있으므로 본 표준화 로드맵 (Ver.2008)에서는 이를 바탕으로 달라진 기술 환경을 반영하여 수정 보완하고자 함
- 본 표준화 로드맵 (Ver.2008)에서 처음으로 추가된 IP 통합 기술의 경우 국내외 산업체의 SoC 통합 환경, 특히 반도체 제작 기술 (Fabrication) 및 패키지 기술이 개별 산업체마다 상이하므로, 세부 항목까지 규정되어 강제성을 띤 기술 표준 형태보다는 개별 산업체의 제작 기술 차이를 존중하면서도 설계자의 시간과 노력을 줄일 수 있는 가이드라인 형태를 개발하고자 함



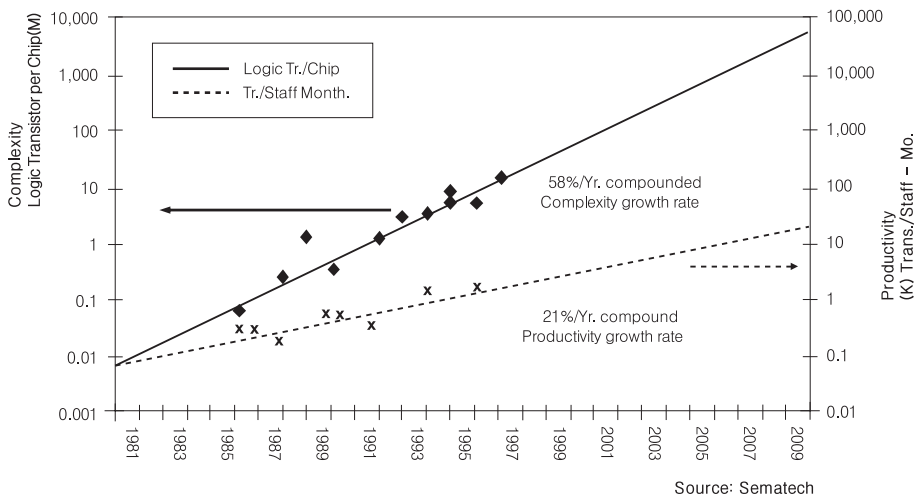
### 1.3. 표준화의 Vision 및 기대효과



#### 1.3.1. 표준화의 필요성

나노 SoC에서 표준화의 필요성은 (1) 서로 다른 분야, 서로 다른 기관, 서로 다른 팀에서 SoC 개발에 참여하는 설계자 및 개발자들이 상호 협력하여 대규모 SoC의 설계를 가능하게 하며, (2) 설계자 및 개발자와 수요자 사이에 SoC 설계물 및 결과물에 대한 공유, 평가, 교환, 유통, 검증 등을 가능하게 하는 점을 들 수 있음

- 나노 SoC는 정보통신기기의 핵심기능을 처리하는 메모리, 디지털 회로, 아날로그 회로, CPU, 센서 등이 통합된 복잡한 시스템을 하나의 반도체 칩에 집적하는 기술임
- 이러한 나노 SoC의 개발을 위해서는 통신, 컴퓨터, 정보기기 등 “시스템 기술”과 집적회로 설계 및 검증 등 “반도체 기술”이 융합되어야 함. SoC 설계 기술의 핵심은 수천만개에서 수억개가 넘는 트랜지스터로 구성된 복잡한 SoC를 어떻게 설계, 검증, 테스트할 것인가 하는 문제이며, 설계와 개발의 복잡도는 증가하는 반면에 시장에서 요구하는 제품개발 시간은 점점 더 짧아지고 있음. 따라서 time-to market의 해결이 극박하여야 할 중요한 문제임



(그림 1) 설계 및 개발의 복잡도 증가와 설계자의 생산성 증가

- 이러한 SoC 설계의 복잡성, 기술의 다양성 및 시간제약 문제를 극복하기 위해서는 동작이 검증된 IP를 재사용하여 SoC를 설계하는 방법이 필요하게 되었음. IP를 재사용하여 SoC를 설계하는 방법은 초기에는 복잡한 ASIC을 위해서 필요한 기능을 만족하는 IP를 사용하여 설계하는 Block 기반 설계 (Block Based Design) 방법이 사용되었으나, 현재는 미리 검증된 IP의 재사용을 위한 시스템의 구성을 설계하고 IP 뿐만이 아니라, 시스템의 기본 구성도 재사용하여 시스템을 개발하는 Platform 기반 SoC 설계 방법 (Platform Based Design)으로 발전하였음
- 비록 설계 기술 및 설계 도구의 발달에 따라 설계자의 생산성도 증가하고 있으나, 시스템 규모의 증가 추세가 훨씬 더 급격하기 때문에 하나의 SoC를 개발하는데 필요한 IP의 수 및 설계자의 수는 점점 증가하게 됨. 이에 따라 다수의 설계자가 만든 다수의 IP를 다수의 설계자가 하나의 SoC로 구성하는 경우가 더욱 빈번해졌음
- 시스템 규모가 급격하게 커짐에 따라 시스템의 주요 성능과 구조를 설정하는 시스템 개발자, 시스템의 H/W를 구현하는 H/W 개발자, 시스템 위에 S/W를 구현하는 S/W 개발자 등이 SoC 구현 과정에서 상호 긴밀하게 협력해야 할 필요성이 급격히 증가하였음. 또한 서로 다른 영역에서 개발된 설계물을 통합하여 최종적으로 SoC를 구현하기 위하여 이들 설계물 및 통합된 SoC를 검증하고 테스트해야 할 필요성이 급격히 증가하였음
- 상업적으로 개발된 IP의 성능이 높아짐에 따라 플랫폼 위에서 이미 검증된 IP를 재사용하는 것이 설계 시간 및 비용 단축에 유리하는 경우가 많아졌음. 이 경우 IP의 제작, 검증, 품질 평가, 유통, 부정 사용에 대한 기술적인 보호 등에 대한 필요성이 급격히 증가하였음
- SoC 구현 면에서는 IP뿐만 아니라 다수의 설계자가 개발한 SoC 칩을 단일 패키지 위에 집적하는 System-in-Package (SiP) 기술이 발전하였으며, 이에 따라 다수의 칩과 패키지를 통합하여 설계하는 Chip-Package Codesign 기술의 필요성이 급격히 증가하였음
- 따라서 나노 SoC 분야에서 IP 설계 기술의 표준화, IP 검증 및 테스트 기술의 표준화, IP 유통 표준 제정, IP 통합 기술의 표준화 등이 절실하게 요구되고 있음



### 1.3.2. 표준화의 목표

나노 SoC 기술의 근간이 되는 IP 개발 산업이 활성화 될 수 있도록, IP 설계 기술, IP 검증 및 테스트 기술, IP 유통 표준, IP 통합 기술에 대한 표준화를 추진

- IP의 설계, 검증, 테스트, 유통, 통합 등을 위한 표준안 제정
- VSIA, SPIRIT, SI2, Accellera 등 국제 표준화 추진 기구의 표준 제정에 대응하는 국내 표준안 마련
- 나노 SoC 표준화 추진에서 중, 일, 대만 등과의 협력을 통하여 아시아의 표준을 주도

### 1.3.3. Vision 및 기대효과

나노 SoC 핵심 기술 개발 촉진을 통한 국내 산업의 발전

- SoC 산업의 표준을 제시하여 표준화된 IP 개발 촉진
- IP 품질의 향상에 의한 시장 신뢰성 확보
- SoC 핵심기술 개발 촉진을 통한 한국 반도체 산업 경쟁력 향상
- TTM(Time-To-Market)의 만족에 의한 IP 산업, IT 산업 등 SoC 관련 산업의 성장 및 활성화 촉진
- SoC 개발을 지원하는 부가 솔루션들의 신시장 형성 및 성장 촉진
- SoC 설계기술의 유통 표준 제시를 통한 SoC시장의 체계적인 발전 및 활성화 촉진
- SoC 개발을 위한 IP 설계 표준화로 IP 설계 및 사용 촉진

## 2. 국내외 현황분석

### 2.1. 시장 현황 및 전망

#### 2.1.1. 국내 시장 현황 및 전망

- 국제 시장 조사 기관인 IDC에 따르면 국내 SoC 시장 현황 및 전망은 <표 1>과 같으며 연평균 성장률은 생산 규모의 경우 연 14.0%, 수출 규모의 경우 연 12.8%의 고속 성장이 예상되고 있음

<표 1> 국내외 SoC 시장 현황 및 전망 (IDC, 2002.4)

구 분		2002	2003	2004	2005	2006	2007	2010	CAGR(%)
세계 시장		1,407	1,645	1,872	2,091	2,412	2,601	3,763	13.1
	메모리	284	343	388	417	454	520	748	12.9
	SoC	925	1,074	1,227	1,385	1,638	1,732	2,525	13.2
	개별소자	198	228	257	289	320	349	490	12.0
국 내	생산	263	307	352	393	453	492	753	14.0
	수출	166	196	215	239	266	310	435	12.8

- 국내 중소벤처업체의 주요 IP 활용실적을 IT-SoC 협회의 통계자료를 통하여 살펴보면, 2003년도 중소벤처업체가 삼성전자와 하이닉스반도체에서 제작한 SoC는 총 78건이며, 이에 사용된 IP는 총 124건임. 가장 많이 사용된 IP는 ADC, DAC 및 PLL 등의 아날로그 Hard IP로 전체의 60%를 차지. 내장형 프로세서 코어는 ARM을 대부분 사용하였고, 고속 인터페이스 IP로는 USB가 대부분을 차지함. 사용된 아날로그 IP는 공정 의존적이고 매크로 셀 성격으로 대부분 국내에서 개발된 국산 IP 이지만, 프로세서 코어와 BUS 인터페이스 등의 디지털 IP는 거의 도입된 외산 IP를 사용하였음

<표 2> 국내 기업의 삼성과 매그나칩의 Foundry 서비스를 통한 2003년도 IP사용현황 (IT-SoC산업동향, 2004. 12)

구분	삼성전자	매그나칩	합 계	구성비(%)
프로세서 코어	20	6	26	21.0
- ARM 코어	19	4	23	18.5
- 80C51 외	1	2	3	2.4
아날로그 IP	58	17	75	60.5
- ADC/DAC	32	7	39	31.5
- PLL	26	10	36	29.0
고속 인터페이스 IP	15	8	23	18.5
- USB	13	6	19	15.3
- PCI 외	2	2	4	3.2
합 계	93	31	124	100
(적용 SoC)	60	18	78	-





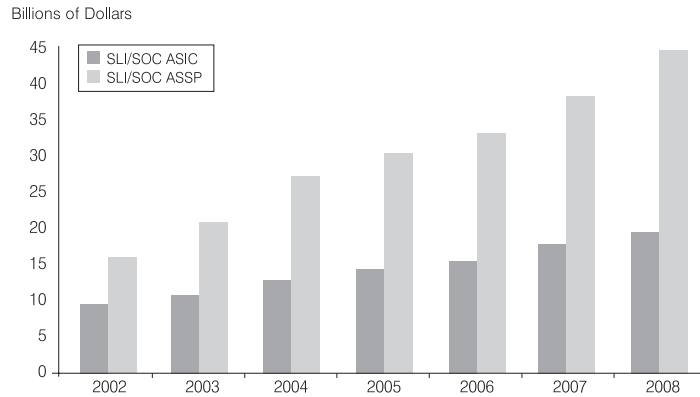
- 국내 반도체제조업체의 IP 보유 현황을 살펴보면, 국내의 삼성전자, 매그나칩, 동부아남반도체 등 반도체 제조업체 3사가 보유하고 있는 0.13/0.18/0.25um 지원 IP는 총 287건임. 이중 삼성전자가 전체 보유 IP건수의 약 74%를 차지하고 있으며, 매그나칩이 15%, 동부아남반도체가 12%를 차지하고 있음. 아날로그 IP는 공정 의존적이고 매크로셀 성격으로 대부분 국내에서 자체개발한 IP이며, 그 외의 디지털 IP는 거의 도입된 외산 IP임. TSMC가 IP Alliance Program에서 제공하는 IP 건수는 0.13um 31종, 0.18um 51종, 0.25um 34종인데 비하여, 삼성전자의 경우 ARM 코어만 47종의 IP를 제공하는 등 0.25um 이후의 첨단 SoC 개발에 필수적인 풍부한 IP를 제공하고 있어 세계적인 팹리스 업체로부터 환영을 받고 있지만, 대량생산 위주의 SoC 제품 위주로 지원되기 때문에 국내 중소기업체가 이용할 수 있는 기회는 극히 제한적인 문제점이 있음. 삼성전자를 제외한 국내 반도체 제조 업체를 이용하여 SoC를 제작할 경우 지원되는 IP의 부족으로 인하여 중소기업체가 직접 필요한 IP를 라이선스하여야 하며 이 경우 발생하는 IP 사용료의 비용부담이 국내 SoC 산업 발전의 장애요소임

〈표 3〉 국내 반도체 제조 업체의 보유 IP 현황 (IT-SoC 산업동향, 2004.12)

구 분	0.13um	0.18um			0.25um			합계
	삼성	삼성	매그나칩	동부	삼성	매그나칩	동부	
프로세서 코어	38	25	6	8	10	7	5	99
- ARM 코어	26	17	1	1	4	2	0	51
- 80C51 외	0	0	5	6	0	5	4	20
- DSP 코어	12	8	0	1	6	0	1	28
아날로그 IP	18	25	14	4	19	13	11	104
- ADC/DAC	9	17	11	2	16	10	5	70
- PLL	9	8	3	2	3	3	6	34
고속 인터페이스 IP	15	17	1	1	8	2	2	46
- USB	6	5	0	1	2	1	2	17
- PCI 외	9	12	1	0	6	1	0	29
Peripheral IP	36	36	0	0	36	0	0	36
Multimedia 등	0	0	0	1	0	0	1	2
합 계	107	103	21	14	73	22	19	287

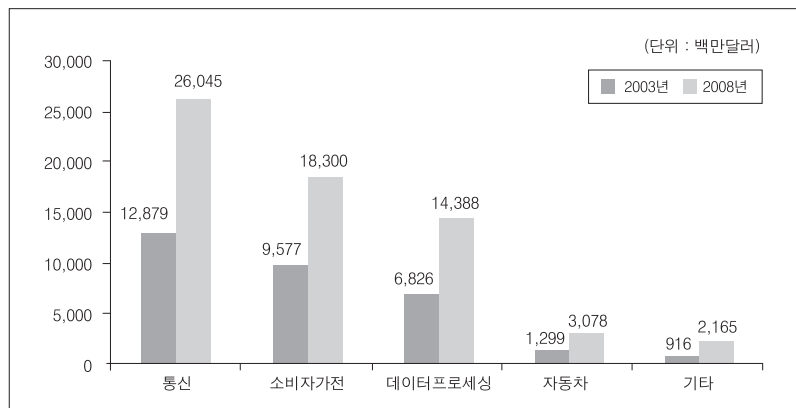
## 2.1.2. 국외 시장 현황 및 전망

- Gartner Dataquest에 따르면 ASIC/ASSP 중 IT SoC 규모는 2003년 315억달러로 전체 반도체 시장 1,775억 달러에서 차지하는 비중은 17.7%이며, 연평균 15.9%의 성장률을 기록하면서 2008년에는 640억 달러에 이를 것으로 전망. 이와 같은 시장 규모는 2003년 전체 ASIC/ASSP 시장의 52.9%, 2008년에는 66.9%에 해당하는 것으로써 전체 반도체 시장에서 SoC가 차지하는 비중은 시간이 지날수록 점차 증가할 것으로 예상됨



(그림 2) ASIC/ASSP 중 IT SoC 규모 추이 (Gartner Dataquest, 2004.11)

- 현재 ASIC보다 좀 더 표준화되어 복수의 사용자가 구매하는 ASSP SoC가 전체 SoC 시장에서 차지하는 비중이 약 60~70%로 ASIC SoC보다 높음. 주요 산업별 시장 현황을 살펴보면 유/무선 통신 분야가 2003년 현재 전체 SoC 시장의 약 41%를 차지하고 있으며, 2003년 약 129억 달러에서 연평균 15.1%의 성장률을 기록하면서 2008년에는 약 260억 달러에 이를 것으로 전망됨. 소비자가전 부문은 전체 SoC 시장의 약 30.4%를 차지하고 있으나 다른 산업에 비해 연평균 성장률이 13.8%로 저조하여 2008년에는 시장 점유율이 다소 감소할 것으로 보임. 반면 데이터 프로세싱 및 자동차 산업은 연평균 성장률이 각각 16.1%, 18.8%로 높아서 2003년 시장 점유율 21.7%, 4.1%에서 2008년에는 현재보다 소폭 증가할 것으로 예상됨

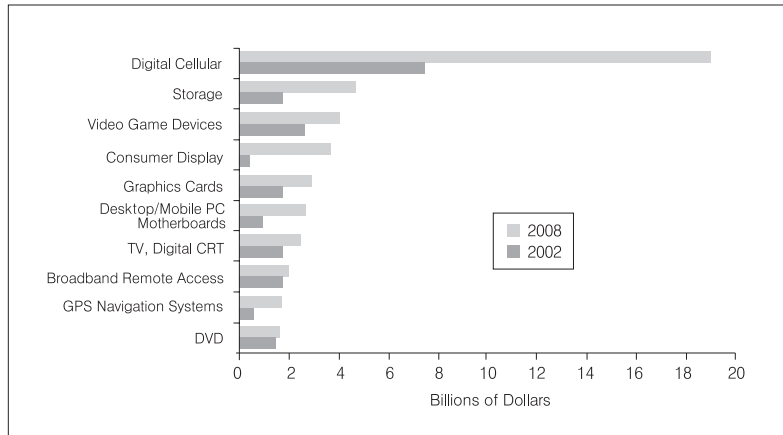


(그림 3) 주요 산업별 SoC 시장 규모 (Gartner Dataquest, 2004.11)

- 주요 제품별 시장 현황은 디지털 셀룰러폰 시장이 2002년 75억불, 2003년 95억불로 전체 SoC 시장의 약 30%를 차지하여 가장 큰 비중을 차지하고 있으며 2008년에는 191억불에 이를 것으로 전망됨. 셀룰러폰 이외에 2002년에



는 비디오 게임기, 스토리지, 그래픽카드, DVD 등에 SoC가 많이 사용되고 있는 것으로 나타났으나 2008년에는 디스플레이, 디지털 TV, 모바일 PC, 스토리지 등에 사용되는 SoC시장이 크게 성장할 것으로 예상되고 있음



(그림 4) 주요 제품별 SoC 시장 규모 (Gartner Dataquest, 2004.11)

## 2.2. 기술개발 현황 및 전망

### 2.2.1. 국내 기술개발 현황 및 전망

- 정부정책기조

- 정보통신부는 개인소득 2만불 달성을 위한 국가차원의 산업육성 정책으로 2003년부터 IT839 전략을 추진하고 있으며 2005년에 u-IT839 전략으로 개편한 바 있음. 나노 SoC는 정보통신부의 9대 신성장동력사업의 핵심사업으로서, IT839 전략의 국제 경쟁력을 확보하기 위하여 필요한 핵심 전략 산업임
- 2005년도 정보통신부는 IT839 전략을 효과적으로 지원하기 위한 기술개발, 인력 양성, 표준화를 중점 추진하고 부품 무역 수지악화, IT 산업의 양극화 등을 해결하기 위하여 지속적 투자 확대를 기본 방침으로 발표함
- 정보통신부가 발표한 정책은 IT839 전략에 따른 새로운 서비스 도입과 첨단 인프라 구축에 기반이 되고 IT 신성장 동력과 직결되는 핵심 부품 기술개발에 역점을 두어 차세대성장동력 등 범 부처 사업과의 연계강화를 통해 시너지를 극대화하는 것임. 이를 위하여, IT 산업의 고부가가치화를 위한 핵심부품개발을 강화, 시스템의 경쟁력 확보를 위해 필수적인 품목을 집중지원 육성, 차세대 전략 분야의 리더쉽 확보를 위한 국제 표준화 지원을 강화, 차세대 이동통신 등 국내 선도기술을 국제 표준에 전략적으로 반영하고 한·중·일 표준화 협력등을 통한 제후를 확대 및 기술개발-표준화-인력양성 사업간 연계 강화를 추진. 또한 기술개발수행기관등 R&D 사업의 수행 주체간에 협력 네트워크를 강화하며 차세대 성장동력 산업의 성과 제고를 위한 End product 중심의 기술개발과 IT 강국의 질적 도약을 위한 핵심원천기술개발 병행을 추진
- 정보통신부는 SoC산업진흥센터를 운영함으로써 (1) SoC 산업에 필요한 고급 설계 인력의 양성, (2) SoC 산업에 필요한 기반 기술 및 설계 기술의 개발, (3) 중소 벤처업체를 위한 HW, SW, 에뮬레이션, 시험장비, 설계환경의 지원, (4) 창업보육사업과 마케팅 네트워크 구축 및 국내외 협력추진 사업을 수행 중임
- 특허청에서는 반도체설계자산업연구센터(SIPAC)를 설립하여 반도체 설계자산 보호 및 유통기반 조성 사업을 추진 하였으나, 2005년말에 사업이 종료되었음. 이후 KIPEX 사업을 통해 기술 및 정책 연구보다는 실질적인 IP 유통 지원을 더욱 확대하고 있음

- 국책연구소

- 국책연구소는 주로 한국전자통신연구원(ETRI) 및 전자부품연구원(KETI)을 주축으로 SoC 연구가 진행되고 있으며, 특히 ETRI는 SoC 산업 진흥센터를 통해 SoC에 관련된 산학연 연구 역량을 집결하는 시스템을 구축함
- 또한 ETRI는 융합 부품 연구소를 설립하여 미래 유망 산업인 융합 기술의 구현 기술로서 SoC 기술을 적극 연구 개발하고 있으며, 각종 대형 국책 연구과제를 통해 IT 산업의 핵심인 중장기 대규모 연구개발 사업으로 미래 성장 동력을 위한 원천기술을 개발하고 있음. 또한 IT 신성장동력 및 핵심 인프라 기술개발, 부가가치 제고를 위한 핵심 부품개발을 진행하고 있음



- 산업계

- 국내 산업계는 크게 SoC 설계 개발 회사, SoC 생산 회사, 파운드리 서비스 업체로 구분할 수 있으며, 국내 SoC 기업의 주요 제품은 메모리 부품과 디스플레이 관련 부품, 멀티미디어 관련 부품 등을 들 수 있음
- 메모리 부품은 DRAM, SRAM, 플래시 메모리가 주력을 이루고 있으며, 명실공히 세계 최고의 기술력과 시장 점유율을 가지고 있음. 특히 삼성전자와 하이닉스 반도체는 각각 세계 1위와 3위의 메모리 생산 업체로서 국내 SoC 산업을 선도하고 있음
- 디스플레이 부품은 크게 디스플레이 패널 자체의 생산과 디스플레이 구동용 반도체인 LDI (LCD Driver IC)를 들 수 있으며 세계 최고 수준의 기술력과 시장 점유율을 가지고 있음
- 멀티미디어 부품은 초기에는 휴대전화에 사용되는 CIS (CMOS Image Sensor) 제품으로 시작하여 CCP (Camera Control Processor), CSP (Camera Signal Processor), MMP (Mobile Multimedia Platform)로 확대되고 있음
- 국내 반도체 산업은 제조 분야에서는 메모리 제품 중심, 설계 분야에서는 디스플레이 부품 및 멀티미디어 부품 중심으로 발전하였으며, 주문에 의한 반도체 생산을 담당하는 파운드리 분야는 크게 활성화되지 못하고 있음
- IT-SoC 협회에는 100여개의 국내 중소 IT-SoC 전문 업체가 가입되어 있으며, 앰텍비전, 코아로직 등 휴대전화의 멀티미디어 칩 관련 제품을 공급하는 회사가 국내 선도기업으로 자리 잡고 있음

- 학계

- 국내 대학은 일찍부터 SoC 설계 인력 양성 및 설계 기술 개발에 노력해왔으며, 한국과학기술원의 IDEC (IC Design Education Center), 서울대학교의 SoC 설계 기술 사업단, 광운대학교의 IP/SoC 사업단 등의 대형 사업단, 기타 정보통신부와 과학기술부의 지원을 받는 다수의 ITRC와 ERC를 통해 활발한 인력 양성 및 기술 개발이 이루어지고 있음

## 2.2.2. 국외 기술개발 현황 및 전망

- 미국

- 미국은 SoC 분야에서 세계 선도 기업인 Intel과 Qualcomm 등 다수의 기업을 보유하고 있기 때문에 정부 차원에서 SoC 산업을 지원하고 있지는 않지만 이들 기업이 세계 반도체 시장을 자체적으로 선도하고 있음. 특히 SoC 설계 도구 (CAD), SoC 설계 기술 개발에 있어서는 거의 독보적인 위치를 차지하고 있음
- 표준화 측면에서는 VSIA (Virtual Socket Interface Alliance)를 통하여 IP 설계 기술, IP 유통 표준, IP 검증 및 테스트 기술 등의 분야에서 많은 표준화 작업을 주도적으로 진행하고 있음

(표 4) 2007년 1분기 세계 반도체 매출액 기준 20대 기업 (IN Insights, 2007.5)

순위	기업	국가	순위	기업	국가
1	Intel	미국	11	Micron	미국
2	Samsung	한국	12	Freescall	미국
3	Toshiba	일본	13	Qimonda	유럽
4	TI	미국	14	NEC	일본
5	Hynix	한국	15	Qualcomm	미국
6	ST	유럽	16	Infineon	유럽
7	Renesas	일본	17	AMD	미국
8	TSMC	대만	18	Elpida	일본
9	Sony	일본	19	IBM	미국
10	NXP	유럽	20	Fujitsu	일본

#### • 유럽

- 유럽은 예전에 비해 SoC 산업에서의 경쟁력이 많이 약화되었으나, 그럼에도 불구하고 강력한 핵심 기술을 가진 다수의 기업이 포진하고 있으며, 대표적인 기업으로는 세계 최대의 IP Core 공급자인 ARM을 들 수 있음
- 유럽은 국가간의 공동 연구가 활발하게 이루어지고 있으며, 벨기에의 IMEC이 기초 연구를, 프랑스의 D&R이 IP 유통 센터를, 스웨덴의 SoCware가 연구 클러스터를 형성하고 있음
- 표준화 측면에서는 최근 들어 SPIRIT (Structure for Packaging, Integrating, and Reusing IP within Tool Flows)를 통하여 미국의 VSIA에 맞서 IP 설계 기술, IP 유통 표준, IP 검증 및 테스트 기술 등의 분야에서 많은 표준화 작업을 진행하고 있음. SPIRIT가 개발한 표준은 IEEE 표준안의 예비 단계인 P1685로 승인받아 IEEE 표준안으로 자리잡을 전망이다

#### • 일본

- 한때 세계 최고의 반도체 강국이었던 일본은 최근 들어 SoC 산업에서의 경쟁력이 많이 약화되었는데, 그 이유로는 일본의 반도체 기업들이 대부분 종합 전자회사의 일부로서 설계에서 판매까지 포괄적으로 담당하고 있기 때문에 특정 제품에 집중하기 보다는 다양한 제품을 폭넓게 취급하였고 특정 분야에 집중해야 할 기술 개발과 제품 생산이 분산되었기 때문으로 생각됨
- 이러한 문제점을 타개하기 위해 일본에서는 반도체 분야의 합병이 활발히 이루어졌는데 르네사스(Renesas), 엘피다(Elpida)가 대표적인 예임. 또한 국가적으로 산학 협력을 지원하기 위해 STARC (Semiconductor Technology Academic Research Center)를 설립하여 기술 개발 및 인력 양성에 노력하고 있음

#### • 대만

- 대만은 전통적으로 PC를 비롯한 전자 부품 및 전자 제품 산업이 발달하였으며, 이를 바탕으로 수많은 팹리스 업체



가 발달하였고, 세계 1,2위의 파운드리 업체인 TSMC와 UMC가 세계 파운드리 시장의 70% 이상을 점유하고 있음. 대만의 반도체 기업은 파운드리, 어셈블리, 테스트 가운데 공정이나 특정 분야에 특화된 기업이 많고 이들 기업군이 체계적인 분업 구조를 형성하고 있음

- 연구 개발 측면에서는 1974년 설립된 ITRI (Industrial Technology Research Institute) 산하의 ERSO (Electronic Research & Service Organization)와 STC (SoC Technology Center)가 국가 규모의 SoC 기술 개발 및 인력 양성을 주도하고 있음

## 2.3. 표준화 현황 및 전망

### 2.3.1. 국내 표준화 현황 및 전망

- TTA

- 정보통신부는 TTA를 중심으로 SoC 표준화를 지원하고 있으며, TTA에서는 SoC 프로젝트 그룹인 PG107을 구성하여 SoC의 표준화 활동을 하고 있음. 현재 PG107에서는 IP 등록 표준안과 IP Numbering 표준안에 대해서 표준화 작업을 진행하고 있으며, IP 등록 표준 (2005), IP Numbering 표준 (2006)을 제정하였고 SoC 설계 사양 표준 (2007)의 제정이 예정되어 있으며, IP 계약서 표준, SoC 등록 표준을 추진 중에 있음

- SoC Forum

- TTA가 지원하고, IT-SoC 협회가 주관하는 SoC Forum은 산·학·연 전문가들이 모여 국내 SoC 분야의 기술/정책 방향 수립 및 표준화 추진 등의 역할을 수행. SoC Forum은 자문위원회, 운영위원회, 분과위원회로 구성되었으며, SoC 산업 관련 기업, 대학, 기관 등이 모여 의견을 교류, 상호 협력을 활성화하는 역할을 수행함

- Asian IP/SoC Meeting

- Asian IP/SoC Meeting은 한국의 IT-SoC 협회, 일본의 IPTC, STARC, 대만의 SoC Consortium, VDEC 등의 기관이 모여, 2002년 가을부터 아시아권 국가들의 IP/SoC 산업 발전에 대하여 논의하는 컨서시움임. 2002년부터 매년 봄, 가을 두 번의 회의로 진행되며, 장소는 한국, 일본, 대만 3국이 돌아가며 호스트하고 있음. 2002년 가을, 일본을 시점으로 대만, 한국은 2003년 가을에 3차 미팅을 주최하였음

- 아시안 IP/SoC 기술회의는 VSIA가 주도하고 있는 표준화 추진과는 차별화된, 유통 및 데이터베이스 공유를 위한 IP 분류법, IP 평가 항목 등을 주제로 논의 되고 있으므로 추후 국제 유통 표준을 선도할 수 있는 기회가 될 것으로 예상됨. 한편, SIPAC은 위 3국 뿐만 아니라, 홍콩, 중국 등과의 IP 데이터베이스 공유를 통한 IP 분류법, 유통 표준 등에 대한 공동 제정을 추진 중

- 현재 Asian IP/SoC Meeting이 공동 협의하고 있는 사항은 (1) HDL 코딩 방법을 포함한 IP 품질 평가 표준 공동 제정, (2) IP 데이터베이스 공유, (3) IP 유통을 위한 IP Numbering 표준 공동 제정 등이 있음

### 2.3.2. 국외 표준화 현황 및 전망

- SoC 관련 표준화는 미국의 VSIA를 중심으로 진행되어 왔으며, VSIA는 1996년 9월 세계 반도체 기업과 주요 EDA CAD개발 회사 등이 모여 미국에 설립한 단체로 IP를 이용한 설계의 표준화 작업을 수행하고 있음. 1996년 8월, 7명의 Corporate Steering member와 35명의 Company member가 참석한 Meeting을 발단으로 하여, 1996년 10월 Meeting (당시 약 50여 member)에서 최초로 Development working groups (DWGs)이 생성되는 계기를 마련





하였음. 초기 생성당시에는 implementation, manufacturing-related test, analogue/mixed-signal, system level, on-chip bus, IP protection의 6개의 DWG가 활동 하였음. VSIA는 IP의 data format, test 방법, interface, 지침서 등에 대한 표준을 정의하는 것을 목적으로 하며, 현재 약 120여 member가 활동하고 있음. 최근 SoC/IP 관련 주요 문제점을 확실히 재정립하기위해 기존의 그룹 (DWGs) 대신에 “Pillar”를 두어 IP Quality, IP Protection, IP Infrastructure 3가지에 중점을 두고 기술적인 이슈와 상업적인 이슈들을 포괄하여 다루고 있으며, VSIA의 활동은 다음과 같이 요약할 수 있음

- VSIA Governance

10명의 Board로 구성되어 있으며 VSIA의 DWG를 생성하며 DWG 활동을 지원, 감독하며 1년에 4번 meeting을 통해 president, secretary, treasurer를 선출함. Business Committees와 Technical Advisory Board는 standard와 specification과 관련한 business issue들을 검토하며, Business Committees는 member를 관리하며 Technical Committee(TC)는 각 Pillar의 일을 감독, 지원함

- Adoption Group

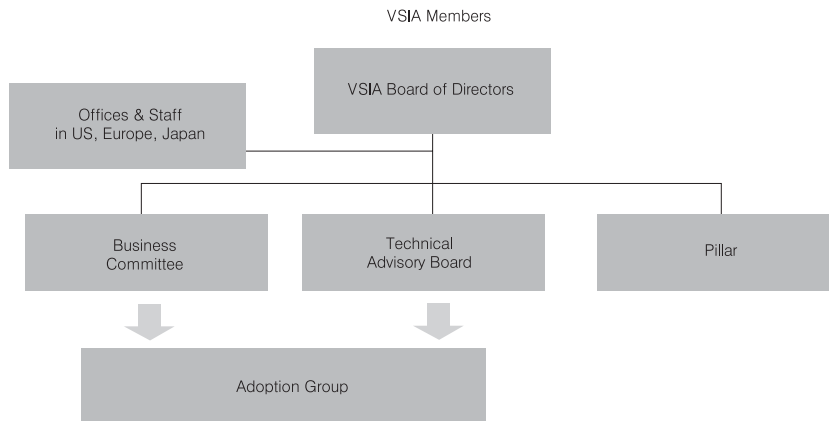
VSIA는 실제 산업에 필요한 표준안들을 검토하기 위해 Adoption Group을 두어 이를 관리하며, Business Committees와 Technical Advisory Board가 Adoption Group을 지정함. 현재 Adoption Group으로 OCP-IP (Open core protocol-international partnership) Association이 비영리 단체로 활동하고 있으며, OCP-IP의 Governing Steering Committee로 Nokia, Texas Instruments, STMicroelectronics, United Microelectronics Corporation, Sonics등의 업체들이 참여하고 있음

- Pillars

기존에는 다음과 같이 10개의 개발 워킹그룹 (Development Working Groups)이 있어 각 워킹그룹에서 개발하는 표준안 및 사양서는 DWG, Technical Committee, Board와 Member의 검토를 받아 공개하였음. 2005년 6월부터 이를 다음과 같은 4개 부분의 Pillar로 재구성하고 이에 중점을 두어 활동하고 있음

〈표 5〉 VSIA의 Development Working Group List (2005년 6월 이전)

Functional Verification DWG	On-Chip Buses DWG
Hardware-dependent Software DWG	Platform Based Design DWG
Implementation DWG	System Level Design DWG (Inactive)
IP Protection DWG	Virtual Component Quality DWG
Manufacturing Related Test DWG(Inactive)	Virtual Component Transfer DWG



(그림 4) VSIA의 구성 (2005년 6월 이후)

- IP Quality Pillar(QIP): QIP에서는 SoC 설계시에 효율적으로 IP를 재사용하기 위해서 필요한 IP의 핵심 품질 특성(Quality Attributes)에 대한 정의를 제시. QIP(Quality IP) Matric은 제3자의 IP 공급자(3rd party IP Provider)로부터 IP를 제공받을 때 IP의 품질을 평가할 수 있는 평가 항목을 제공함
  - IP Protection Pillar(IPP): IP 보호 및 tracking을 위한 watermarking 등의 방법에 대해 중점을 두어 연구함
    - Virtual Component Identification Soft IP Tagging Standard Ver1.0 발표
      - Soft IP의 설계와 개발 과정에서의 트래킹 방법에 대한 표준
    - Virtual Component Identification Physical Tagging Standard Ver2.0 발표
      - Hard IP의 설계와 개발 과정에서의 트래킹 방법에 대한 표준
  - IP Infrastructure Pillar(IIPI): IP 설계 절차에서 전달까지 전반적인 flow 상의 필요한 모든 문서 제공
  - Research & Development Pillar: R&D Pillar는 향후 3~5년 내의 주요 Topic에 대해 중점을 두어 연구하고 있으며, analog signal integrity, verification of implementation, platform base design에 대한 연구를 하는 working group들이 포함됨
- VSIA는 2007년 7월로 그 활동을 종료하고 표준 제정 등의 작업을 타 기관으로 옮기기로 결정. VSIA의 결과물 중 상당수는 IEEE DASC에서 계승 발전시키기로 하였으므로 VSIA의 결과물이 폐기된 것은 아니며, 오히려 학계에서 집중적으로 검토 작업에 착수하였으므로 더욱 활성화될 것으로 보임. 활동 종료 전까지 VSIA가 발표한 Specifications, Standards, Technical Documents는 다음과 같음



〈표 6〉 VSIA의 Specifications (2007년 7월 현재)

Document Name	Version	Authors	Date Issued
Analog/Mixed-Signal VSI Extension Specification (AMS 1,2,2)	1,2,2	Analog/Mixed-Signal DWG	Revised 2001,2 Released 1999,11
Analog/Mixed-Signal Signal Integrity VSI Extension Specification (AMS 2,1,0)	1,0	Analog/Mixed-Signal DWG	Revised 2002,3 Released 2002,3
On-Chip Bus Attributes Specification (OCB 1,2,0)	1	On-Chip Bus DWG	Revised 2001,9 Released 1998,8
Signal Integrity Specification (IMP 1,2,0)	1	SI Sub-DWG of the Implementation DWG	Released 2004,1
Soft and Hard VC Structural, Performance and Physical Modeling Specification (I/V 1,2,1)	2,1	Implementation/Verification DWG	Revised 2001,1 Released 1999,5
VC/SoC Functional Verification Specification (VER 2,1,0)	1	Functional Verification DWG	Released 2004,3
Test Data Interchange Formats and Guidelines for VC Providers Specification (TST 1,1,1)	1	Manufacturing Related Test DWG	Revised 2001,1 Released 1999,6
Virtual Component Transfer Specification (VCT 1,2,1)	2	Virtual Component Transfer DWG	Revised 2001,1 Released 1999,10

〈표 7〉 VSIA의 Standards (2007년 7월 현재)

Document Name	Version	Authors	Date Issued
System-Level Interface Behavioral Documentation Standard (SLD 1,1,0)	1	System-Level Design DWG	Revised 2000,3 Released 2000,3
Test Access Architecture Standard (TST 2,1,0)	1	Manufacturing-Related Test DWG	Revised 2001,9 Released 2001,9
Virtual Component Attributes (VCA) with Formats for Profiling, Selection and Transfer Standard (VCT 2,2,3)	2	Virtual Component Transfer DWG	Revised 2003,3 Released 2001,3
Hard Intellectual IP (IP) Tagging Standard	2,0	Intellectual Property Protection DWG	Released 2000,6 Revision Released 2006,11
Soft Intellectual Property (IP) Tagging Standard	1,0	Intellectual Property Protection DWG	Released 2004,8 Revision Released 2006,11
Virtual Component Interface Standard (OCB 2,2,0)	2	On-Chip Bus DWG	Revised 2001,4 Released 2000,3

〈표 8〉 VSIA의 Technical Documents (2007년 7월 현재)

Document Name	Version	Authors	Date Issued
VSIA Architecture Document	-	VSI Alliance	Released 1997,3
VSIA Deliverables Document	2,6,0	VSI Alliance	Revised 2002,5
Intellectual Property Protection White Paper: Schemes, Alternatives and Discussion (IPPWP 1 1,1)	1	Intellectual Property Protection DWG	Revised 2001,1 Released 2000,8
White Paper: The Value and Management of Intellectual Assets (IPPWP 2 1,0)	-	Intellectual Property Protection DWG	Revised 2002,6 Released 2002,6
Technical Measures and Best Practices for Securing Proprietary Information (IPPWP 3 1,0)	1,0	Intellectual Property Protection DWG	Revised 2002,11 Released 2002,11
Platform-Based Design Taxonomy Version 1 (PBD 11,0)	-	Platform-Based Design DWG	Member review ended 2003,12
VSIA System Level Design Model Taxonomy Document (SLD 2 2,1)	2	System-Level Design DWG	Released 2001,7
Taxonomy of Functional Verification for Virtual Component Development and Integration(VER 1 1,2)	1	Functional Verification DWG	Released 2001,1
VSIA QIP Metric version 3,1	1,11		Released 2004,6
Hard IP Tag Reader/Writer	1,1	IP Protection	Released 2006,11
Virtual Component Interface Standard (OCB 2,2,0)	2	On-Chip Bus DWG	Revised 2001,4 Released 2000,3



## 2.4. 표준화 대상항목별 현황 분석표

구분		IP 설계 기술	IP 검증 및 테스트 기술	IP 유통 표준	IP 통합 기술
표준화 대상항목		- HDL Coding - IP Interface - AMS IP - Platform-Based Design	- IP Test/Verification	- IP 전달물 - IP 품질 평가 - IP 보호 - IP Numbering	- Chip-Package Codesign
시장 현황 및 전망	국내	IP 설계 시장 확립중	시장의 관심도는 높으나 시장 자체는 아직 미확립	IP 유통 시장 본격화	시장의 관심도는 높으나 시장 자체는 아직 미확립
	국외	IP 설계 시장 확립중	IP 검증 및 테스트 시장 확립중	IP 유통 시장 본격화	시장의 관심도는 높으나 시장 자체는 아직 미확립
기술 개발 현황 및 전망	국내	기초 기술 연구 중, 특정 목적의 Platform 개발 중	기초 기술 연구 중, 인터넷을 통한 원격 IP 검증 기술 개발중	기초 기술 연구 중, IP Numbering 표준 개발 중	기초 기술 연구 중
	국외	본격 응용 기술 연구 중, 제품 상용화 중	본격 응용 기술 연구 중, 제품 상용화 중	본격 응용 기술 연구 중	본격 응용 기술 연구 중, 제품 상용화 중
기술 개발 수준	국내	HDL Coding: 상용화 IP Interface: 구현 AMS IP: 상용화 Platform-Based Design: 구현	구현	IP 전달물: 상용화 IP 품질 평가: 구현 IP 보호: 구현 IP Numbering: 상용화	기술기획
	국외	HDL Coding: 상용화 IP Interface: 상용화 AMS IP: 상용화 Platform-Based Design: 상용화	상용화	IP 전달물: 상용화 IP 품질 평가: 상용화 IP 보호: 구현 IP Numbering: 상용화	시제품/프로토타입
	기술격차	미국 2년	미국 2년	미국 1년	미국 2년
	관련제품	없음	없음	없음	없음
IPR 보유현황	국내	없음	없음	없음	없음
	국외	없음	없음	없음	없음
IPR확보 가능분야		표준 Platform 및 표준 AMS	표준 검증 모델	IP 보호 체계 및 IP Numbering 체계	표준 Pin 배치 및 표준 Package
IPR확보 가능성		HDL Coding: 낮음 IP Interface: 보통 AMS IP: 높음 Platform-Based Design: 보통	보통	IP 전달물: 낮음 IP 품질 평가: 낮음 IP 보호: 높음 IP Numbering: 매우 높음	보통
표준화 현황 및 전망		IP 설계 시장의 활성화를 위해 서 큰 도움이 됨	IP 검증 및 테스트 시장의 활성 화를 위해서 다소 도움이 됨	IP 유통 시장의 활성화를 위해 서 반드시 필요	SiP 시장의 활성화를 위해서 큰 도움이 됨
표준화 기구/ 단체	국내	TTA	TTA	TTA	없음
	국외	VSIA, SPIRIT, SI2, ACCELLERA	VSIA, SPIRIT, SI2, ACCELLERA	VSIA	없음
	국내참여 업체 및 기관현황	삼성, KETI	삼성, KETI	삼성, KETI	없음
	국내기여도	HDL Coding: 낮음 IP Interface: 보통 AMS IP: 낮음 Platform-Based Design: 낮음	낮음	IP 전달물: 낮음 IP 품질 평가: 낮음 IP 보호: 보통 IP Numbering: 높음	낮음
표준화 수준	국내	HDL Coding: 표준제/개정 IP Interface: 표준기획 AMS IP: 표준화항목승인 Platform-Based Design: 표준기획	표준기획	IP 전달물: 표준화항목승인 IP 품질 평가: 표준기획 IP 보호: 표준화항목승인 IP Numbering: 표준제/개정	표준기획
	국외	HDL Coding: 표준제/개정 IP Interface: 표준안최종검토 AMS IP: 표준제/개정 Platform-Based Design: 표준안 최종검토	표준안최종검토	IP 전달물: 표준제/개정 IP 품질 평가: 표준안최종검토 IP 보호: 표준안개발/검토 IP Numbering: 표준제/개정	표준화항목승인
국내표준화의 인프라수준 (시장요구정도 및 참 여도)		HDL Coding: 보통 IP Interface: 보통 AMS IP: 보통 Platform-Based Design: 보통	보통	IP 전달물: 보통 IP 품질 평가: 보통 IP 보호: 보통 IP Numbering: 높음	매우 낮음

### 3. 중점 표준화항목의 표준화 추진전략

#### 3.1. 중점기술의 표준화 환경분석

##### 3.1.1. 표준화 추진상의 문제점 및 현안사항

- 가장 많은 표준화 작업이 진행되어온 VSIA이나 SPIRIT의 표준은 강제성을 가지지 않는 사실상의 표준(De facto standard)이나, 대부분의 기업들이 이들 표준을 권고안으로 반영하고 있기 때문에 IP interface 등의 일부 표준항목을 제외하고는 국제 표준으로서 인정받고 있음. 그러나 국내 기업들은 이들 표준화 활동에 매우 소극적인 경향을 보이고 있어서 우리나라가 표준 경쟁에서 뒤처질 우려가 높음
- 최근 들어 활발하게 표준화 작업을 시작한 SI2와 Accellera의 경우 국내 기업체, 연구소, 대학 등의 참여가 전무한 실정임. 비록 이들 두 기관이 국내에서 그다지 활발하게 발달하지 않은 분야를 다룬다고 하더라도 이들 두 기관에서 제정된 표준은 SoC 설계에서 큰 비중을 차지하는 IP 설계 및 CAD 툴 개발에 적용되기 때문에 국내에서도 이들 두 기관에의 적극적인 참여가 절실히 요구됨
- 국내에 IP/SoC 분야의 설계방법론 등 표준화가 시도되고 있으나, 학계의 연구 활동에 집중되어 있으며, 산업계에서는 국내 표준화 활동과 국내 표준의 적용에 많이 관심을 기울이지 않는 실정임. 따라서, 국내에서 제정된 표준이 가치를 인정받기 위해서는 산업 현장에서 실제적으로 사용될 수 있는 표준안을 제정하고, 기업들이 제품에 적용함으로써 표준화의 선순환적 발전을 위해서는 산·학·연의 공동된 컨소시엄 구성이 필요함. 즉, 표준화의 중요성을 인식하고 자발적으로 참여하여 공동된 표준화 사업이 실제적으로 진행될 수 있도록 하는 동기부여가 중요함



### 3.1.2. SWOT 분석 및 표준화 추진방향

			강점 요인 (S)		약점 요인 (W)	
			시장	기술	시장	기술
국외환경요인			국내역량요인	<ul style="list-style-type: none"> <li>- SoC의 최대 수요처인 모바일, 멀티미디어 등의 IT 산업 규모가 매우 큼</li> <li>- 정부의 정책의지가 확고함 (신성장동력)</li> </ul>	시장	<ul style="list-style-type: none"> <li>- 부품의 해외 의존도가 높음</li> </ul>
			기술	<ul style="list-style-type: none"> <li>- 우수한 SoC 설계 기술력 및 인력을 보유함</li> <li>- 메모리 반도체 분야는 세계 최고임</li> <li>- 이동통신기기, DTV 등의 IT 산업의 경쟁력이 매우 높음</li> </ul>	기술	<ul style="list-style-type: none"> <li>- 설계 기술 및 CAD 툴 기술이 상대적으로 취약함</li> </ul>
			표준	<ul style="list-style-type: none"> <li>- 정부의 정책의지가 확고함 (TTA 산하 PG107 설립)</li> </ul>	표준	<ul style="list-style-type: none"> <li>- 국내의 기술 표준 작업이 크게 활성화되지 못함</li> </ul>
기회 요인 (O)	시장	<ul style="list-style-type: none"> <li>- SoC의 최대 수요처인 모바일, 멀티미디어 산업이 급성장하고 있음</li> <li>- 아시아 지역이 SoC의 생산과 소비 중심으로 발전하고 있음</li> </ul>	<p>현황분석에 의한 우선순위 : 1</p> <ul style="list-style-type: none"> <li>- IP Numbering, AMS, 테스트 등 표준 미제정 분야를 선도</li> <li>- IP 거래 분야에서 쌓아온 실적을 바탕으로 IP 유통 분야의 표준을 선도</li> <li>- Chip-Package Codesign 등 새롭게 대두되는 기술 분야의 표준을 선도</li> </ul> <p>SO전략 : 공격적 전략(강점사용-기회활용)</p>		<p>현황분석에 의한 우선순위 : 2</p> <ul style="list-style-type: none"> <li>- 일본, 대만, 중국과 공동으로 표준 제정</li> </ul> <p>WO전략 : 만회전략(약점극복-기회활용)</p>	
	기술	<ul style="list-style-type: none"> <li>- 모바일 기술, 멀티미디어 기술의 발전이 지속됨</li> <li>- 유비쿼터스 기술, 바이오 기술, 나노 기술이 급격히 발전하여 SoC 기술이 융합 기술의 핵심으로 자리잡기 시작함</li> </ul>				
	표준	<ul style="list-style-type: none"> <li>- 유통 표준 등 분야에서 국제 표준을 선도할 기회가 도래함</li> </ul>				
위협 요인 (T)	시장	<ul style="list-style-type: none"> <li>- 국내 파운드리 산업의 경쟁력이 둔화됨</li> <li>- 메모리 시장의 성장률이 둔화됨</li> <li>- 아시아, 특히 중국의 급성장으로 인하여 국제 경쟁력이 감소함</li> </ul>	<p>ST전략 : 다각화 전략(강점사용-위협회피)</p> <p>현황분석에 의한 우선순위 : 4</p> <ul style="list-style-type: none"> <li>- Platform-Based Design 등 비메모리 분야의 경쟁력을 강화할 수 있는 기술 분야의 표준 제정에 참여</li> </ul> <p>ST전략 : 다각화 전략(강점사용-위협회피)</p>		<p>현황분석에 의한 우선순위 : 3</p> <ul style="list-style-type: none"> <li>- 실질적 표준이라 하더라도 발빠르게 수용 및 적용하여 기술 종속을 최소화</li> </ul> <p>WT전략 : 방어적 전략(약점최소화-위협회피)</p>	
	기술	<ul style="list-style-type: none"> <li>- 핵심 기술의 미확보로 인한 기술 종속의 우려가 있음</li> </ul>				
	표준	<ul style="list-style-type: none"> <li>- 기술 표준 작업이 해외에서 주도적으로 진행됨</li> </ul>				

• 현황분석을 통한 우선순위: SO → WO → WT → ST

- SO 전략: 국내 역량의 강점과 기회를 활용하기 위해서는 (1) IP Numbering System, AMS, 테스트 등 국제 표준 미제정 분야에서 선도적인 역할을 수행하며, (2) 그동안 IP 거래 분야에서 쌓아온 실적을 바탕으로 IP 유통 분야의 표준을 선도하며, (3) 유비쿼터스 기술, 바이오 기술, 나노 기술의 발전으로 인하여 SoC 기술이 새롭게 융합 기술의 핵심으로 자리잡기 시작한 점을 감안하여 Chip-Package Codesign 등 새롭게 대두되는 기술 분야에서 선도적인 역할을 수행

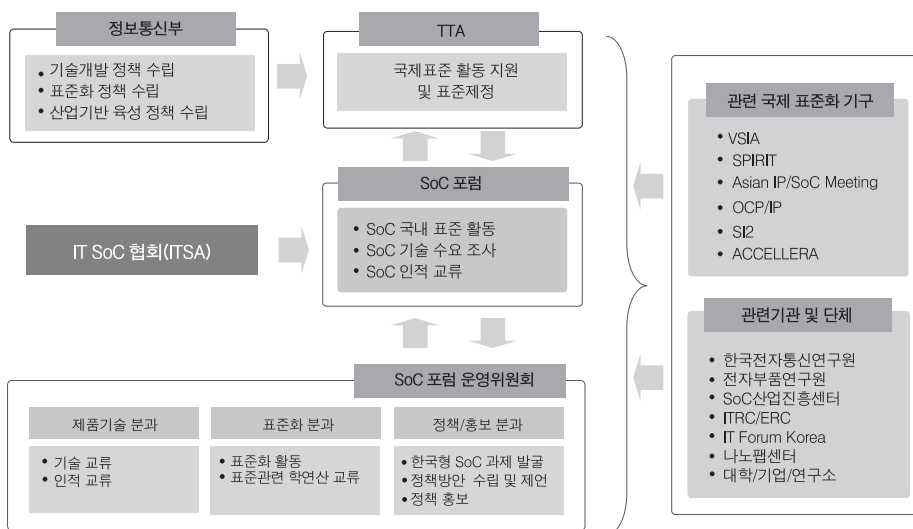
- WO 전략: 기회를 활용하여 약점을 극복하기 위해서는 국내 파운드리 산업의 경쟁력이 둔화되고 아시아, 특히 중국의 반도체 산업이 급성장하는 점을 감안하여 일본, 대만, 중국과 협력하여 공동으로 표준을 제정함
- WT 전략: 약점을 최소화하고 위협을 회피하기 위해서는 정식 표준이 아닌 실질적 표준이라 하더라도 발빠르게 수용 및 적용하여 기술 종속을 최소화함
- ST 전략: 강점을 활용하여 위협요소를 회피하기 위해서는 Platform-Based Design 등 비메모리 분야의 경쟁력을 강화할 수 있는 표준 제정에 참여

• 표준화 추진방향: SO 전략을 중점 수행하고 WO 전략을 통해 보완

- SoC 분야에서 새롭게 대두되는 융합 기술은 정부의 강력한 지원에 힘입어 SoC 기술을 세계적으로 선도할 좋은 기회이므로 IP Numbering System, AMS, 테스트 등 국제 표준 미제정 분야를 선도하고 IP 거래 분야에서 쌓아온 실적을 바탕으로 IP 유통 분야의 표준을 선도하며 Chip-Package Codesign 등 새롭게 대두되는 기술 분야의 표준을 선도하는 SO 전략을 중점적으로 수행하고, 일본, 대만, 중국과 협력하여 공동으로 표준을 제정하는 WO 전략을 통해 보완함

### 3.1.3. 표준화 추진체계

- 나노 SoC 관련 국내 산·학·연을 중심으로 SoC 포럼을 통하여 국내 표준화 활동을 주도하고, TTA 산하에 구성된 SoC 표준화 전담반 (PG107)에서 국내 표준(안)을 개발. 이를 위해서 SoC 포럼과 TTA PG107을 양대 주축으로 하여 관련 기구, 기관 및 단체와 긴밀한 협조 체제를 구성



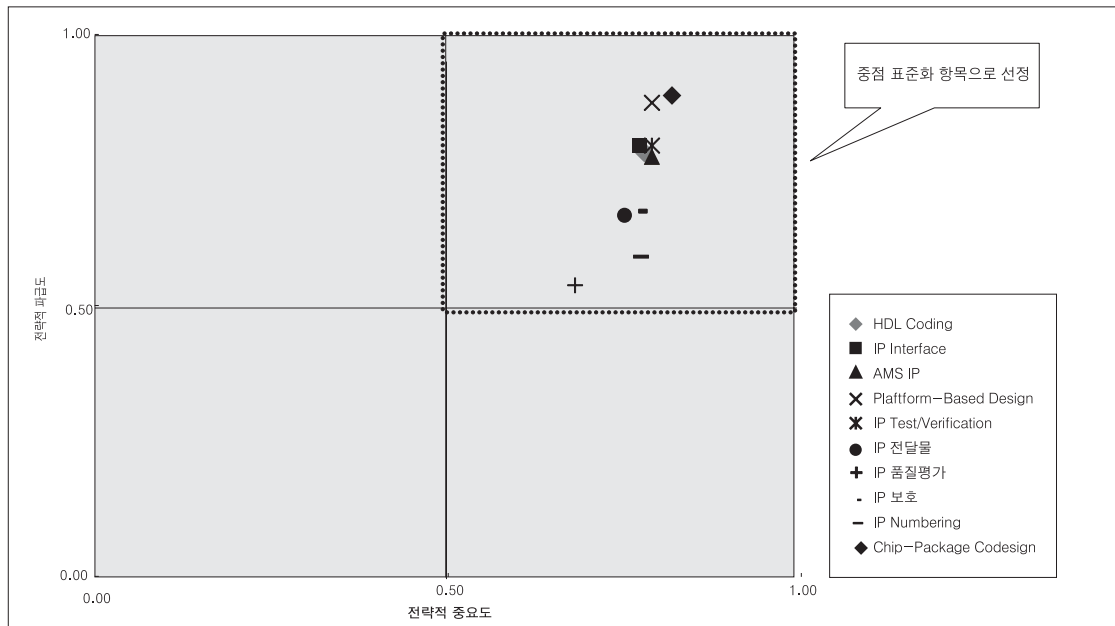




## 3.2. 중점 표준화항목 선정

### 3.2.1. 중점 표준화항목 선정방법

표준화 대상항목별 전략적 중요도 및 기술적 파급효과 분석												
고려요소	전략적 중요도						기술적 파급효과					
	P <sub>1</sub> 산학연 관심도	P <sub>2</sub> 정부 관심도	P <sub>3</sub> 표준선도 가능성	P <sub>4</sub> 표준개발의 시급성	P <sub>5</sub> 기술표준 격차	PI Priority Index	E <sub>1</sub> 타산업파급 효과	E <sub>2</sub> 경제적파급 효과	E <sub>3</sub> 국내외시장 규모	E <sub>4</sub> IPR 확보가능성	E <sub>5</sub> 사용자편의	EI Effect Index
고려요소별 가중치	0,21	0,29	0,11	0,27	0,11	-	0,19	0,31	0,11	0,11	0,27	-
HDL Coding	4	4	3	5	3	0,81	3	4	5	3	5	0,82
IP Interface	4	4	4	4	4	0,80	4	4	4	3	5	0,83
AMS IP	5	4	3	4	4	0,82	4	5	5	3	3	0,81
Platform-Based Design	5	4	4	4	3	0,82	4	5	5	3	5	0,92
IP Test/Verification	5	4	4	4	3	0,82	4	4	4	3	5	0,83
IP 전달물	4	4	3	4	4	0,78	4	3	3	3	4	0,69
IP 품질 평가	3	3	4	4	4	0,70	4	2	2	3	3	0,55
IP 보호	4	4	4	4	4	0,80	4	4	3	3	3	0,70
IP Numbering	3	4	5	4	5	0,80	2	2	2	4	5	0,61
Chip-Package Codesign	5	4	3	5	3	0,85	5	5	5	2	5	0,93



## 3.2.2. 중점 표준화항목 선정사유

## • 전략적 중요도 및 기술적 파급효과의 요소

- 전문가 7인에게 2차에 걸쳐 수행한 설문 조사 결과를 분석하여 10개 표준화 항목의 전략적 중요도 (PI)와 기술적 파급 효과 (EI)를 결정
- PI와 EI가 1사분면에 위치한 10개 표준화 항목 모두를 중점 표준화 항목으로 선정
- PI와 EI를 고려하였을 때 중요한 것으로 나타난 표준화 항목은 Chip-Package Codesign, Platform-Based Design, IP Test/Verification, IP Interface, HDL Coding, AMS IP이며, 이는 3.1.2절의 SWOT 분석 결과와 대체적으로 일치

## • 중점 표준화항목별 선정사유

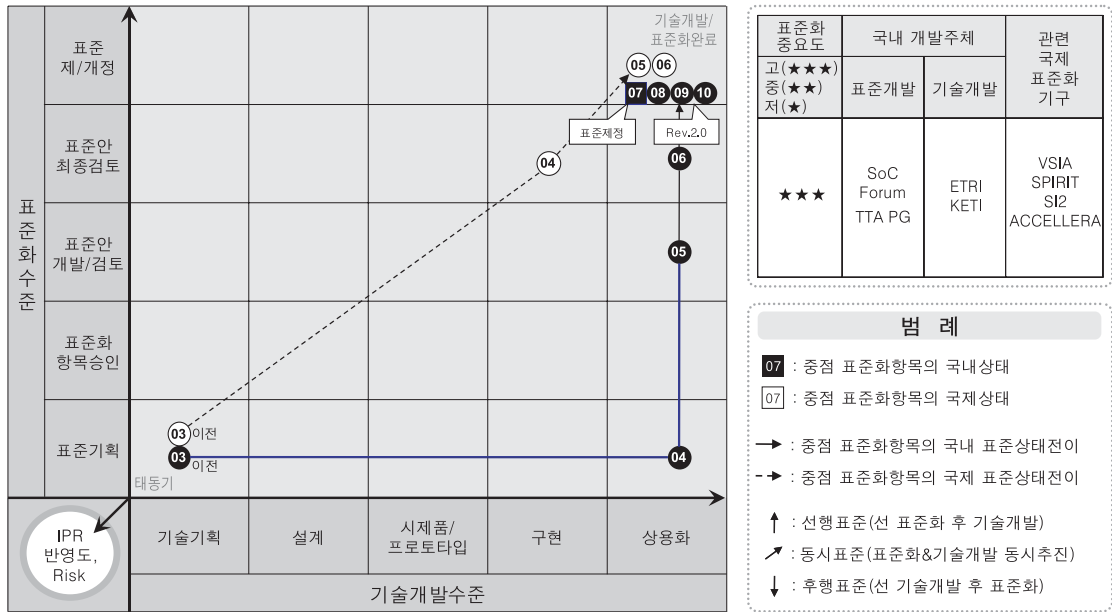
구분	중점 표준화 항목	표준화 내용	중점 표준화 항목 선정 이유
IP 설계	HDL Coding	HDL 언어 표준 확장 및 시스템을 기술 (description)하는 방법	HDL 코드를 작성하는 방법에 대한 표준을 제시하여 사용자가 코드에 대한 가독성을 통일하고, IP 개발자와 사용자의 설계 도구가 다른 경우에도 동일한 기능의 하드웨어가 설계되도록 하기 위해 매우 중요
	IP Interface	IP 상호 연결을 위한 연결 방법	서로 다른 개발자에 의하여 공급되는 IP들을 이용하여 SoC를 설계할 때, IP들이 상호 결합될 수 있도록 Interface를 정의하기 위한 표준이며 IP 개발, 유통 및 재사용 시에 매우 중요
	AMS IP	아날로그/혼성신호 IP의 재사용을 위한 방법	아날로그/혼성신호 IP를 재사용하기 위한 설계 기술의 개발로서 제조 기술에 의한 영향을 최소화하여 재설계에 들어가는 노력과 시간을 줄이기 위해 매우 중요
	Platform-Based Design	IP 재사용이 용이하도록 구성된 Platform 및 이를 사용한 설계 방법	IP 재사용이 용이하도록 구성된 시스템 아키텍처인 Platform 및 이를 사용한 설계 방법이며 IP를 재사용하기 위해 가장 기본이 되는 핵심 기술로서 매우 중요
IP 검증/테스트	IP Test/Verification	IP의 검증 및 테스트 방법	IP의 개별적인 검증 및 테스트 기술과 IP 사용자가 내장된 IP를 개별적으로 검증/테스트 하기 위하여 필요한 기술이며 IP를 재사용하기 위해 가장 기본이 되는 핵심 기술로서 매우 중요
IP 유통	IP 전달물	IP 사용자에게 IP가 전달될 때 재사용이 용이하도록 전달해야 할 항목	IP 공급자와 IP 사용자 간의 거래 시에 재사용이 용이하도록 필수적으로 전달하여야 할 항목을 정의하는 표준이며 IP 유통 및 재사용 시에 매우 중요
	IP 품질 평가	IP 사용자가 IP 구매 전에 IP의 품질에 대한 정보를 제공하기 위한 항목	IP 사용자가 IP 구매전 IP의 품질에 대한 정보를 제공하기 위한 항목을 정의하는 표준이며 IP 유통 및 재사용 시에 매우 중요
	IP 보호	IP 거래에 있어서, 법적인 IP 보호, 기술적 IP 보호에 대한 방법	IP 거래시에 IP의 불법 사용으로부터 IP 공급자를 보호하기 위한 표준이며 IP 유통 및 재사용 시에 매우 중요
	IP Numbering	IP 유통 및 관리가 용이하게 하기 위한 표준화된 넘버링 방법	IP를 개발자, IP category, IP의 기능 등에 따라서 체계적인 번호를 부여하기 위한 표준이며 IP 유통 및 재사용 시에 매우 중요하며 국제표준화를 선도할 수 있는 분야임
IP 통합	Chip- Package Codesign	다수의 Chip과 Package를 물리적으로 통합하기 위해 공유해야 할 항목	개별 Chip 또는 Die의 형태로 구현된 IP를 물리적으로 통합하여 단일 Package로 구현하기 위해 필요한 기술이며 다수의 IP로 구성된 시스템을 실제로 단일 Package 내에 통합하기 위해 매우 중요



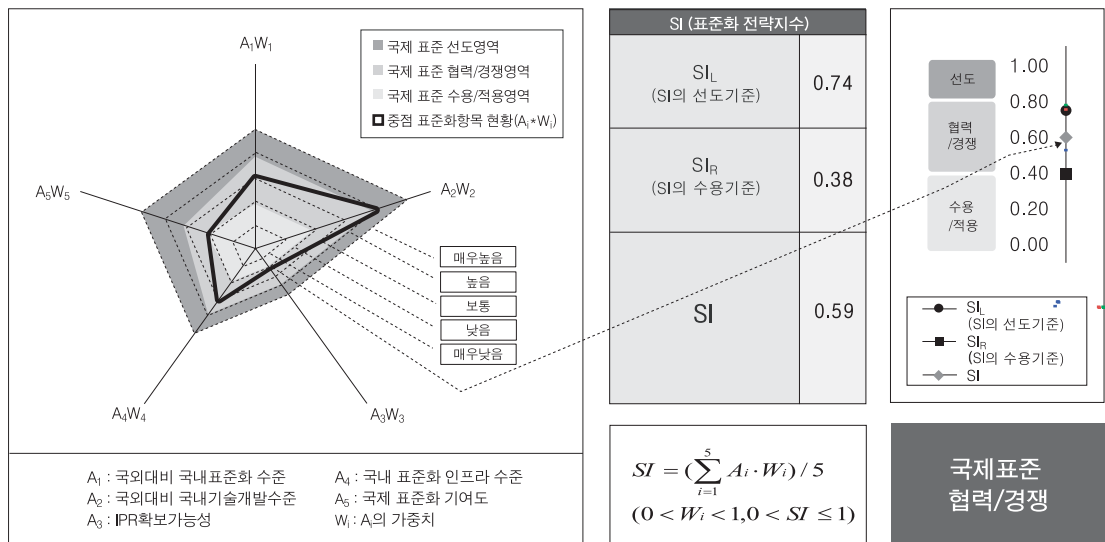
### 3.3. 중점 표준화항목별 세부전략(안)

#### 3.3.1. HDL Coding

- 표준상태전이도 (표준화 & 기술개발 연계분석)



- 국제표준화 전략목표 도출



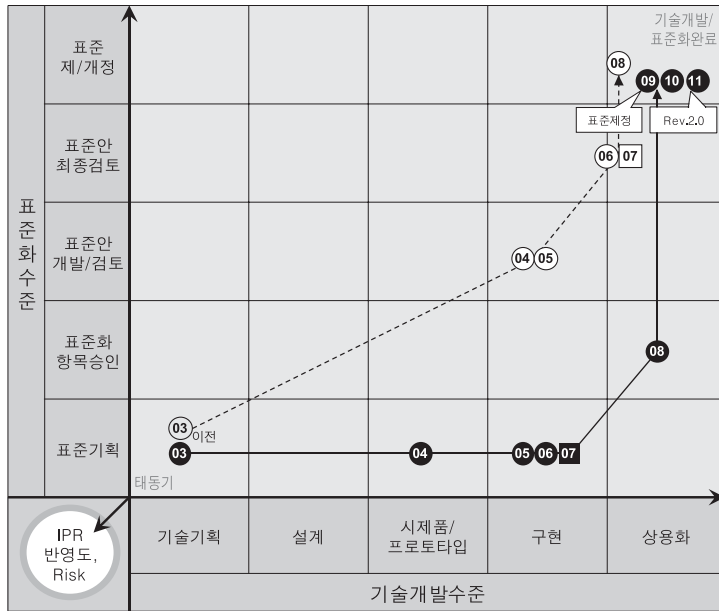
- 세부전략(안)

- 국내 산업의 실정에 맞도록 자체 표준안 개발과 아울러 VSIA, SPIRIT 등의 국제 표준을 신속하게 수용
- 국내의 기술 개발 수준[A2W2]은 국제 상위 수준에 근접하여 있으나, 표준화에 대한 관심 부족으로 표준화는 상대적으로 낮은 상태임. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보 강화
- 국내의 IPR 확보 가능성[A3W3]과 표준화 기여도[A5W5]는 상대적으로 낮은 수준에 머무름. 따라서 국가적으로 이 부분에 대한 보완 사업을 추진해야 함
- SIPAC 사업이 종료된 후, 후속 사업인 KIPEX 사업에서 표준화 활동의 비중이 작아짐. 또한 VSIA 및 SPIRIT 표준의 국내 수용 및 참여가 매우 미흡함. 따라서 보다 적극적인 참여가 요망됨



### 3.3.2. IP Interface

- 표준상태전이도 (표준화 & 기술개발 연계분석)



표준화 중요도	국내 개발주체		관련 국제 표준화 기구
고(★★★) 중(★★) 저(★)	표준개발	기술개발	
★★★	SoC Forum TTA PG	ETRI KETI	VSIA SPIRIT SI2 ACCELLERA

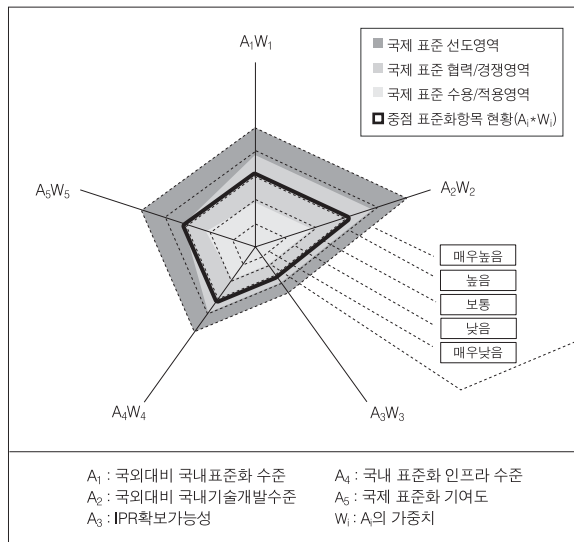
**범례**

07 : 중점 표준화항목의 국내상태  
07 : 중점 표준화항목의 국제상태

→ : 중점 표준화항목의 국내 표준상태전이  
→ : 중점 표준화항목의 국제 표준상태전이

↑ : 선행표준(선 표준화 후 기술개발)  
↗ : 동시표준(표준화&기술개발 동시추진)  
↓ : 후행표준(선 기술개발 후 표준화)

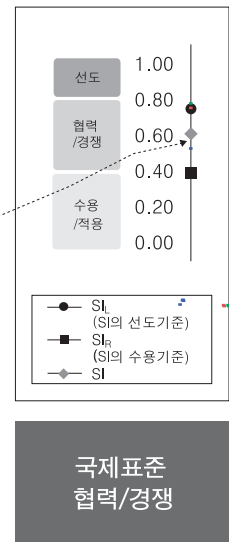
- 국제표준화 전략목표 도출



SI (표준화 전략지수)	
SI <sub>L</sub> (SI의 선도기준)	0.74
SI <sub>R</sub> (SI의 수용기준)	0.38
SI	0.60

$$SI = (\sum_{i=1}^5 A_i \cdot W_i) / 5$$

(0 < W<sub>i</sub> < 1, 0 < SI ≤ 1)



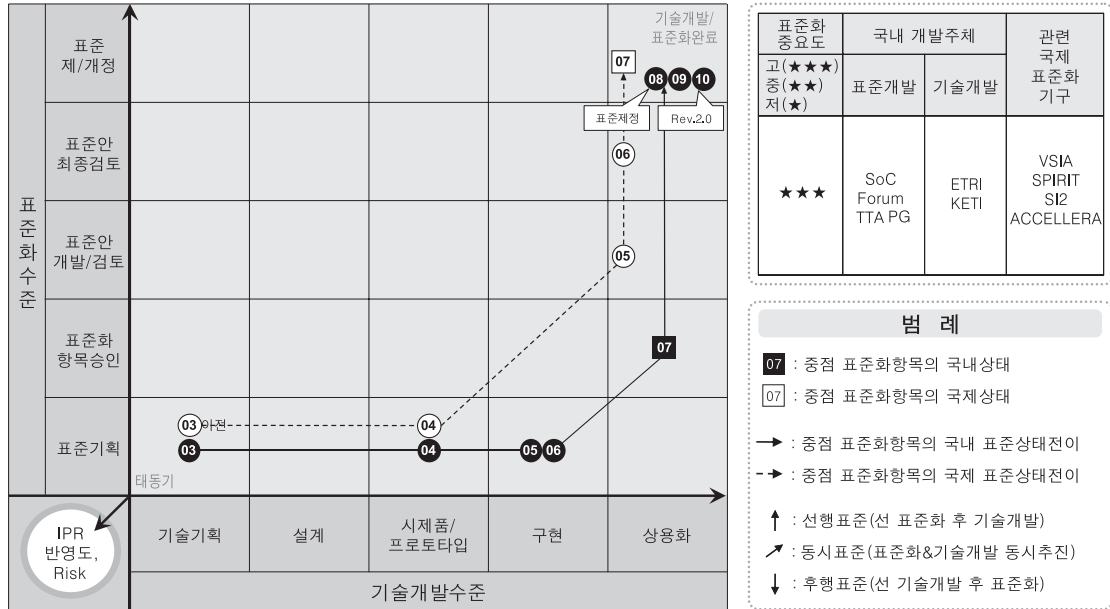
- 세부전략(안)

- 국내 산업의 실정에 맞도록 자체 표준안 개발과 아울러 VSIA, SPIRIT 등의 국제 표준을 신속하게 수용
- 국내의 표준화 기여도(A5W5)은 국제 상위 수준에 근접하여 있으나 표준화에 대한 관심 부족으로 표준화는 상대적으로 낮은 상태임. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보 강화
- SIPAC 사업이 종료된 후, 후속 사업인 KIPEX 사업에서 표준화 활동의 비중이 작아짐. 또한 VSIA 및 SPIRIT 표준의 국내 수용 및 참여가 매우 미흡함. 따라서 보다 적극적인 참여가 요망됨

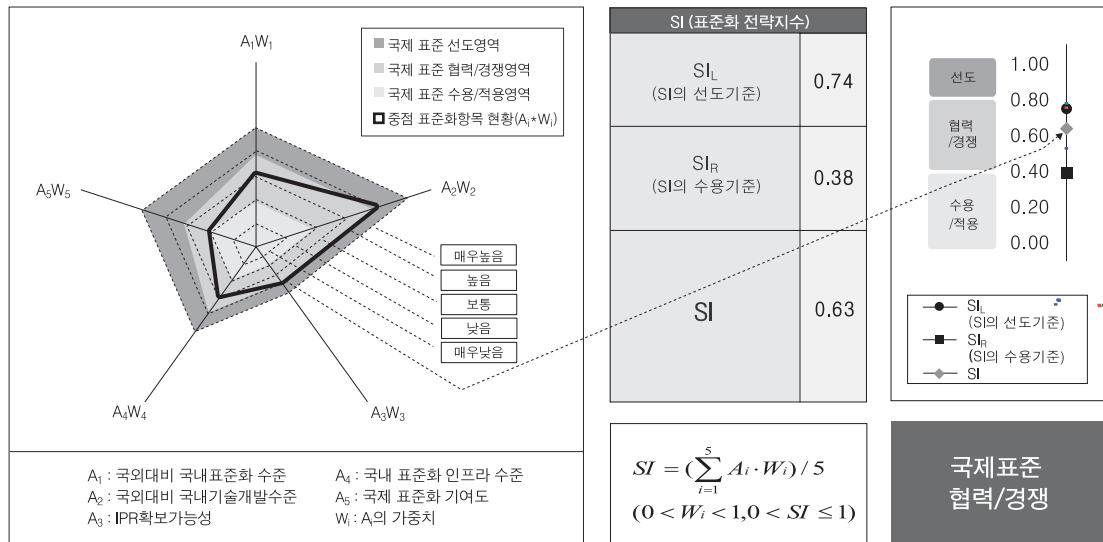


### 3.3.3. AMS IP

- 표준상태전이도 (표준화 & 기술개발 연계분석)



- 국제표준화 전략목표 도출



- 세부전략(안)

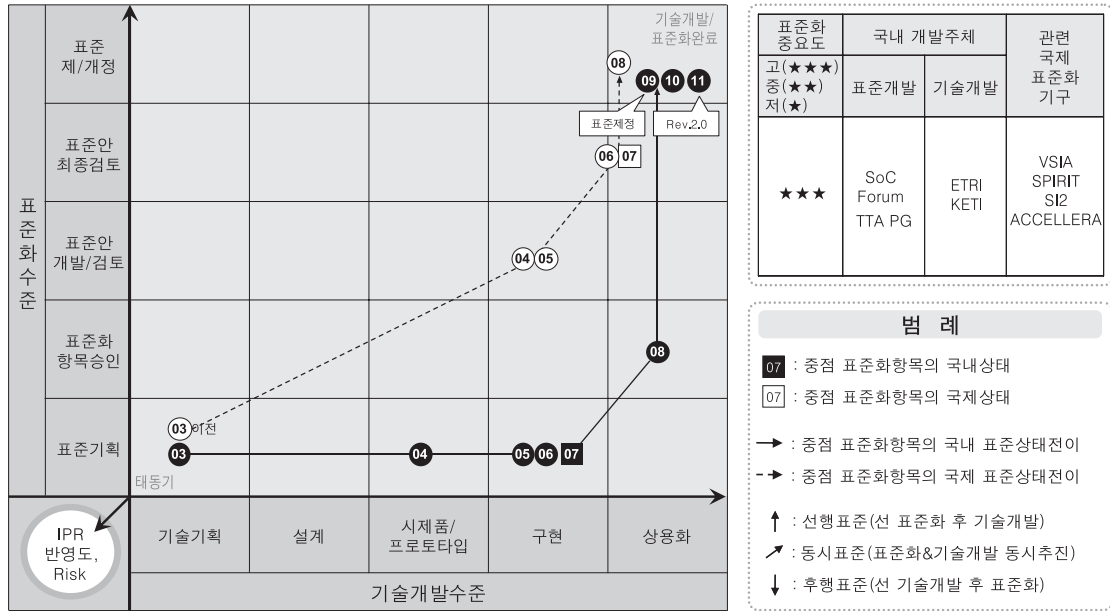
- 국제적으로 기술 개발과 표준화가 진행되고 있으나, 아직 초기 단계이므로 국내에서도 국제 표준의 수용과 아울러 자체적인 기술 개발과 표준화를 병행
- 국내의 기술 개발 수준[A2W2]은 국제 상위 수준에 근접하여 있으나, 표준화에 대한 관심 부족으로 표준화는 상대적으로 낮은 상태임. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보 강화
- 국내의 표준화 기여도[A5W5]는 상대적으로 낮은 수준에 머무름. 따라서 국가적으로 이 부분에 대한 보완 사업을 추진해야 함
- SIPAC 사업이 종료된 후, 후속 사업인 KIPEX 사업에서 표준화 활동의 비중이 작아짐. 또한 VSIA 및 SPIRIT 표준의 국내 수용 및 참여가 매우 미흡함. 따라서 보다 적극적인 참여가 요망됨



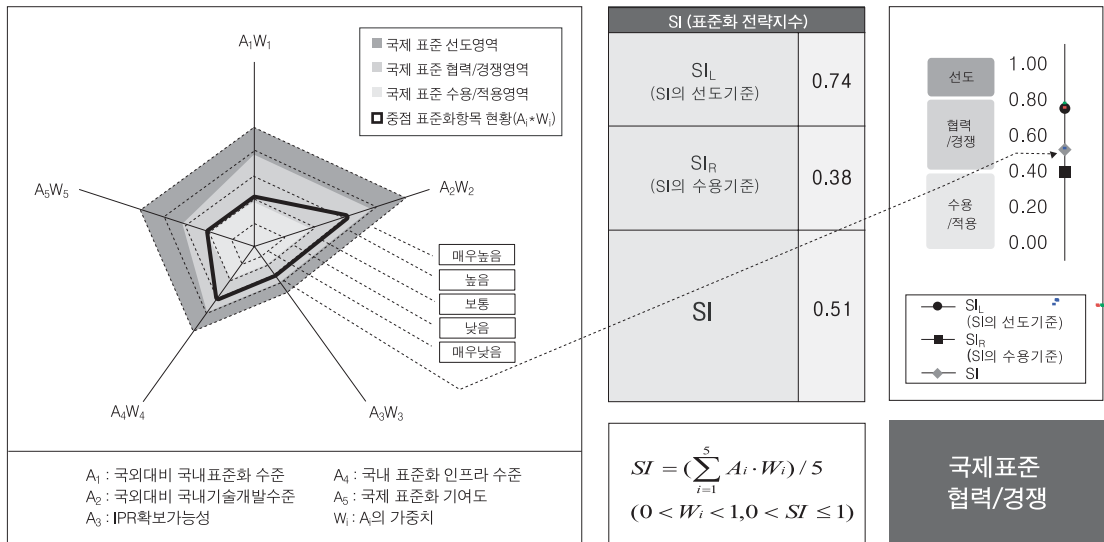


### 3.3.4. Platform-Based Design

- 표준상태전이도 (표준화 & 기술개발 연계분석)



- 국제표준화 전략목표 도출



- 세부전략(안)

- 국내 산업의 실정에 맞도록 자체 표준안 개발과 아울러 VSIA, SPIRIT 등의 국제 표준을 신속하게 수용
- 국내의 기술 개발 수준(A2W2)은 국제 상위 수준에 근접하여 있으나, 표준화에 대한 관심 부족으로 표준화는 상대적으로 낮은 상태임. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보 강화
- 국내의 표준화 기여도(A5W5)는 상대적으로 낮은 수준에 머무름. 따라서 국가적으로 이 부분에 대한 보완 사업을 추진해야 함
- SIPAC 사업이 종료된 후, 후속 사업인 KIPEX 사업에서 표준화 활동의 비중이 작아짐. 또한 VSIA 및 SPIRIT 표준의 국내 수용 및 참여가 매우 미흡함. 따라서 보다 적극적인 참여가 요망됨

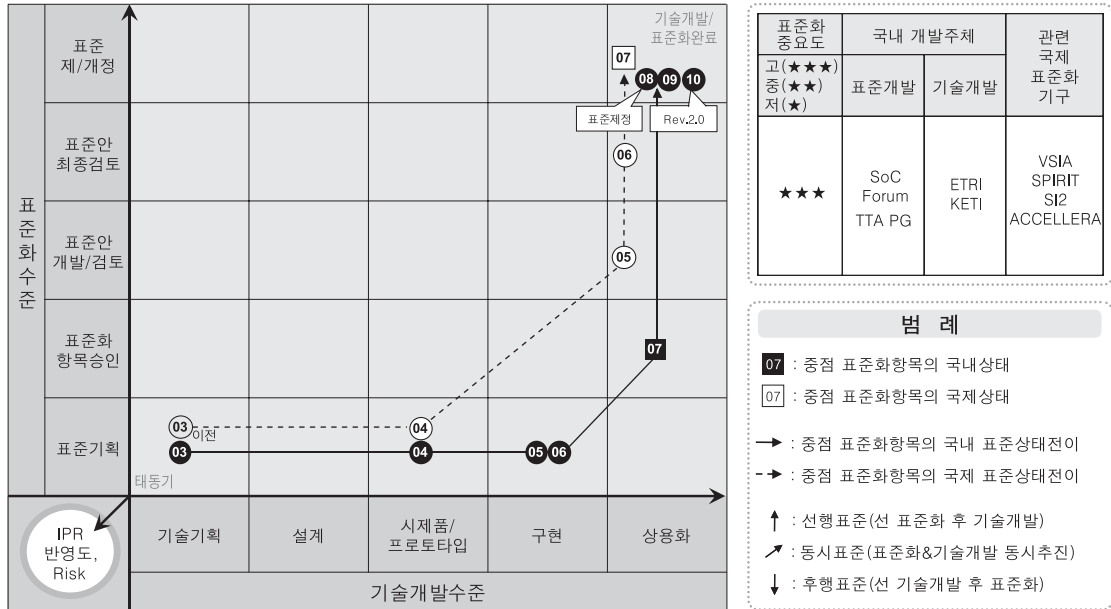


- 세부전략(안)

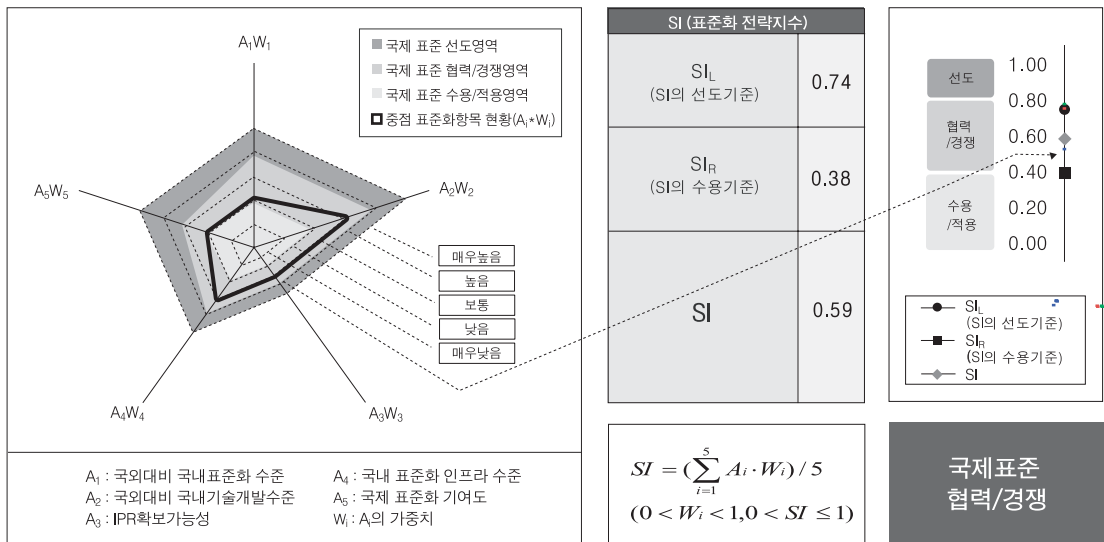
- 국내 산업의 실정에 맞도록 자체 표준안 개발과 아울러 VSIA, SPIRIT 등의 국제 표준을 신속하게 수용
- 국내의 기술 개발 수준(A2W2)은 국제 상위 수준에 근접하여 있으나, 표준화에 대한 관심 부족으로 표준화는 상대적으로 낮은 상태임. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보 강화
- 국내의 표준화 기여도(A5W5)는 상대적으로 낮은 수준에 머무름. 따라서 국가적으로 이 부분에 대한 보완 사업을 추진해야 함
- SIPAC 사업이 종료된 후, 후속 사업인 KIPEX 사업에서 표준화 활동의 비중이 작아짐. 또한 VSIA 및 SPIRIT 표준의 국내 수용 및 참여가 매우 미흡함. 따라서 보다 적극적인 참여가 요망됨

### 3.3.6. IP 전달물

- 표준상태전이도 (표준화 & 기술개발 연계분석)



- 국제표준화 전략목표 도출



- 세부전략(안)

- 국내 산업의 실정에 맞도록 자체 표준안 개발과 아울러 VSIA, SPIRIT 등의 국제 표준을 신속하게 수용
- 국내의 기술 개발 수준[A2W2]은 국제 상위 수준에 근접하여 있으나, 표준화에 대한 관심 부족으로 표준화는 상대적으로 낮은 상태임. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보 강화
- 국내의 IPR 확보 가능성[A3W3]과 표준화 기여도[A5W5]는 상대적으로 낮은 수준에 머무름. 따라서 국가적으로 이 부분에 대한 보완 사업을 추진해야 함
- SIPAC 사업이 종료된 후, 후속 사업인 KIPEX 사업에서 표준화 활동의 비중이 작아짐. 또한 VSIA 및 SPIRIT 표준의 국내 수용 및 참여가 매우 미흡함. 따라서 보다 적극적인 참여가 요망됨



- 세부전략(안)

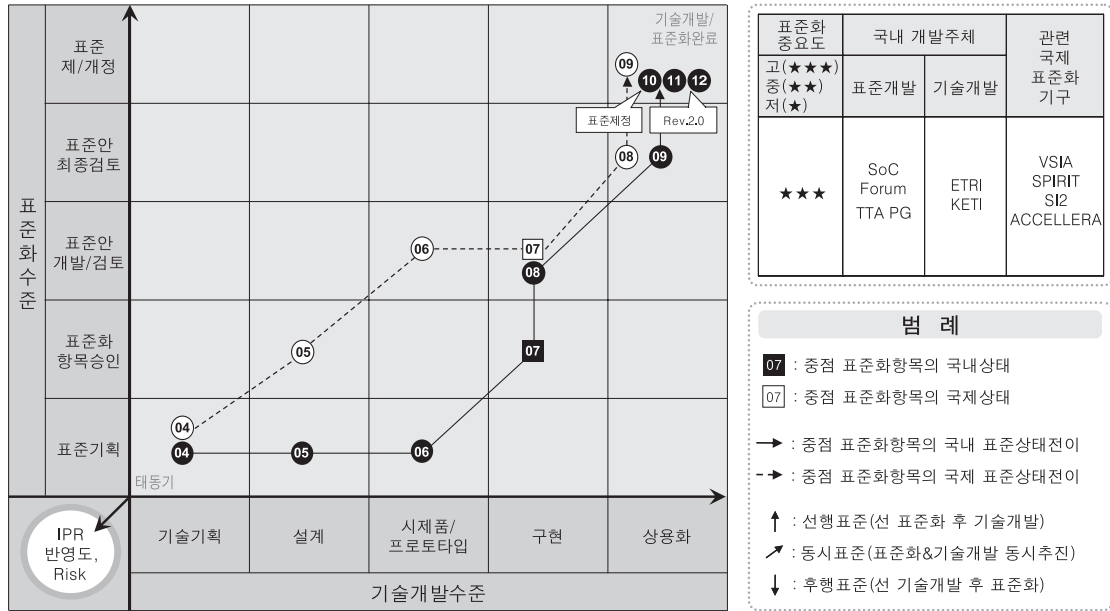
- 국내 산업의 실정에 맞도록 자체 표준안 개발과 아울러 VSIA, SPIRIT 등의 국제 표준을 신속하게 수용
- 국내의 기술 개발 수준[A2W2]은 국제 상위 수준에 근접하여 있으나, 표준화에 대한 관심 부족으로 표준화는 상대적으로 낮은 상태임. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보 강화
- 국내의 IPR 확보 가능성[A3W3]과 표준화 기여도[A5W5]는 상대적으로 낮은 수준에 머무름. 따라서 국가적으로 이 부분에 대한 보완 사업을 추진해야 함
- SIPAC 사업이 종료된 후, 후속 사업인 KIPEX 사업에서 표준화 활동의 비중이 작아짐. 또한 VSIA 및 SPIRIT 표준의 국내 수용 및 참여가 매우 미흡함. 따라서 보다 적극적인 참여가 요망됨



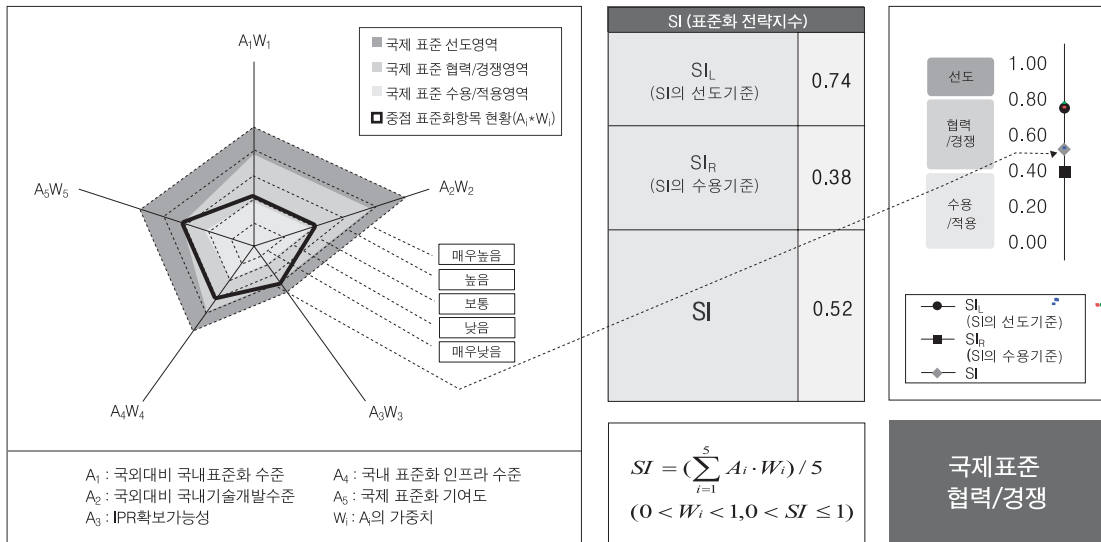


### 3.3.8. IP 보호

- 표준상태전이도 (표준화 & 기술개발 연계분석)



- 국제표준화 전략목표 도출

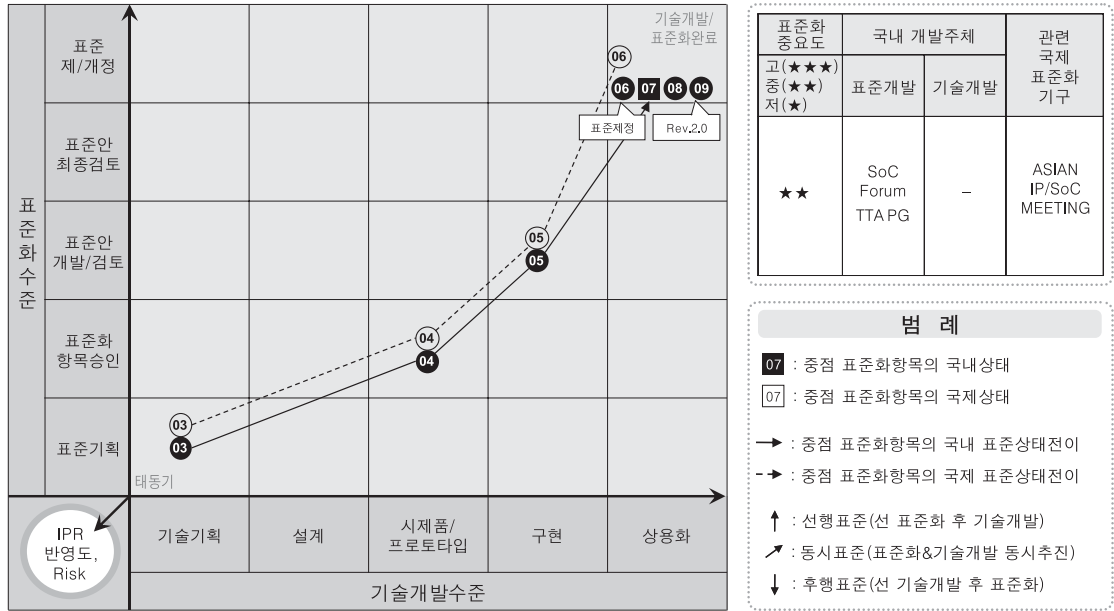


- 세부전략(안)

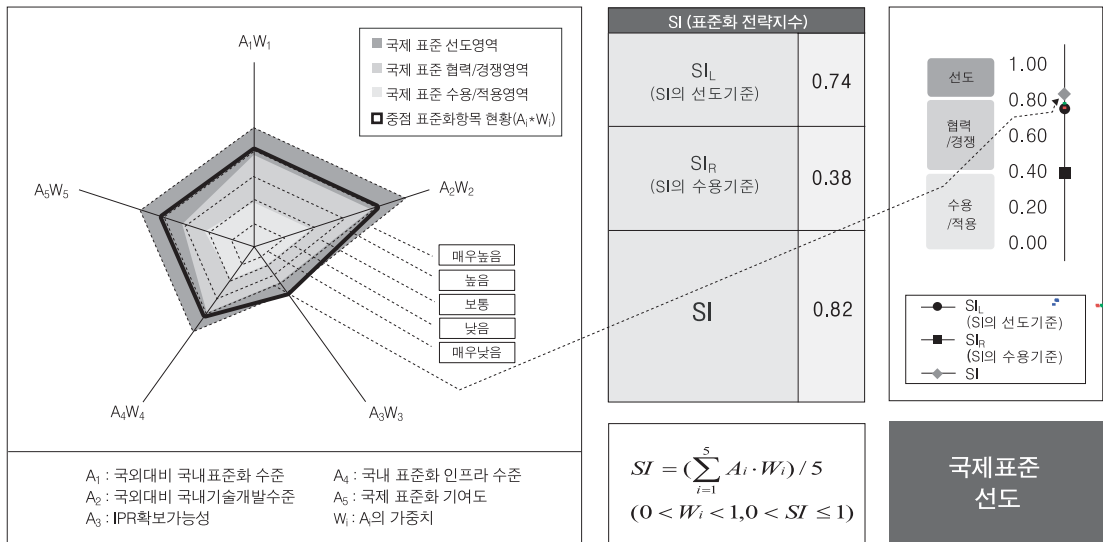
- 국내 기술 수준이 국제 수준에 비교하여 상당 부분 취약하므로 국내 표준의 개발뿐만 아니라 국제 수준의 수용에도 적극적으로 나서야 함
- 국내의 표준화 기여도(A5W5)는 국제 상위 수준에 근접하여 있으나, 표준화에 대한 관심 부족으로 표준화는 상대적으로 낮은 상태임. 표준화 개발과 아울러 산업계와 연구소 등에 국내 표준의 활용도를 높이기 위한 홍보 강화
- 국내의 표준화 수준(A1W1)과 기술 개발 수준(A2W2)은 상대적으로 낮은 수준에 머무름. 따라서 국가적으로 이 부분에 대한 보완 사업을 추진해야 함
- SIPAC 사업이 종료된 후, 후속 사업인 KIPEX 사업에서 표준화 활동의 비중이 작아짐. 또한 VSIA 및 SPIRIT 표준의 국내 수용 및 참여가 매우 미흡함. 따라서 보다 적극적인 참여가 요망됨

### 3.3.9. IP Numbering

- 표준상태전이도 (표준화 & 기술개발 연계분석)



- 국제표준화 전략목표 도출



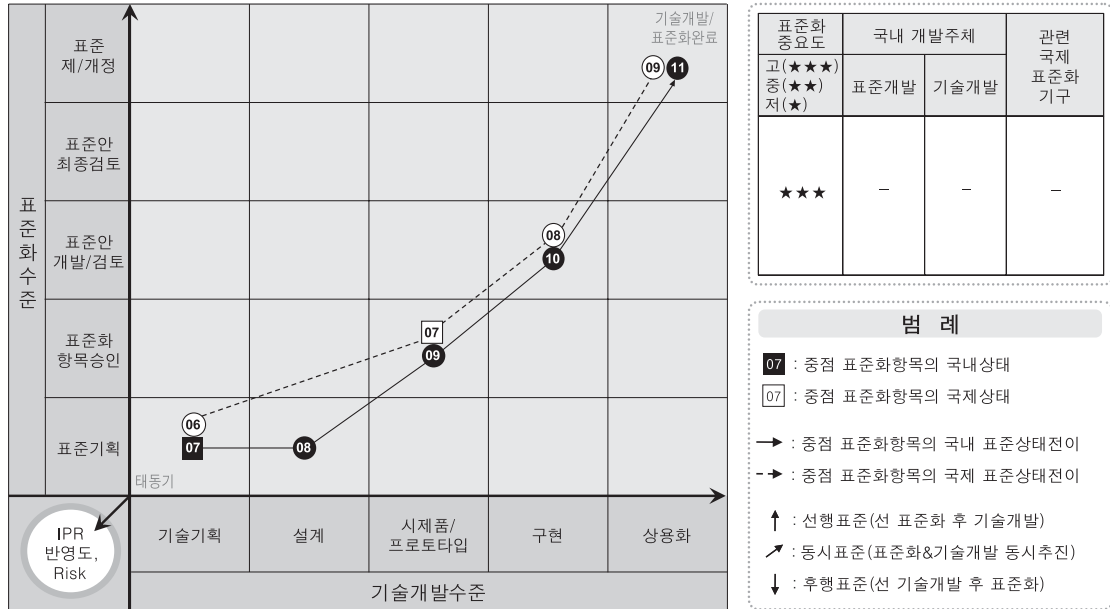
- 세부전략(안)

- 국제적으로 기술 개발 및 표준화가 크게 진행되고 있지 않으며 국내의 표준 진행 상황이 가장 앞선 편이므로 국내에서 먼저 표준을 제정하여 국제 표준을 선도하도록 노력함
- 국내에서 IP numbering 표준을 선제정하고 이 표준이 Asian IP/SoC 미팅을 통하여 아시아 국가의 국제 표준이 되도록 노력하는 것이 바람직함

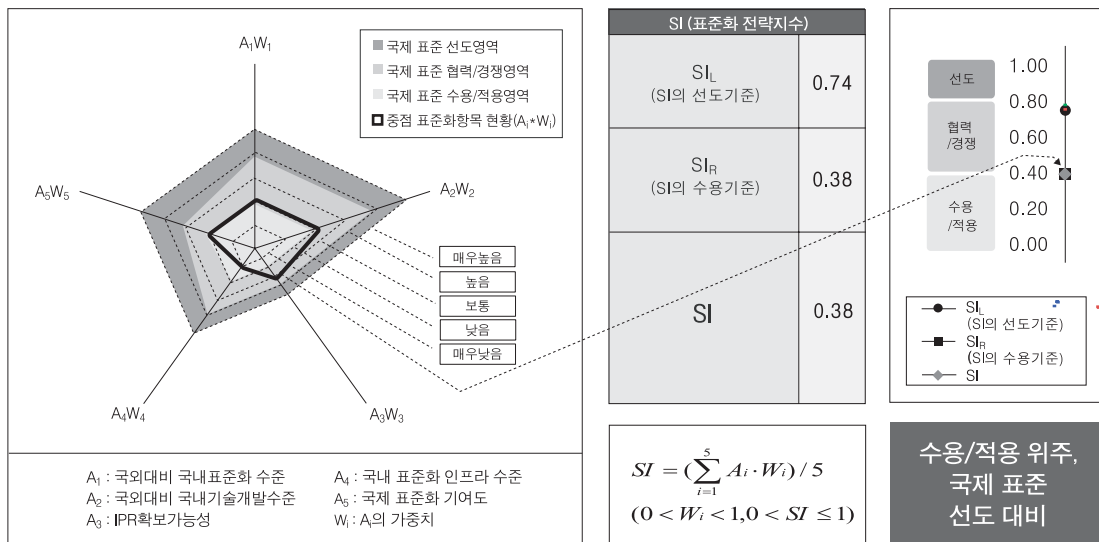


### 3.3.10. Chip-Package Codesign

- 표준상태전이도 (표준화 & 기술개발 연계분석)



- 국제표준화 전략목표 도출



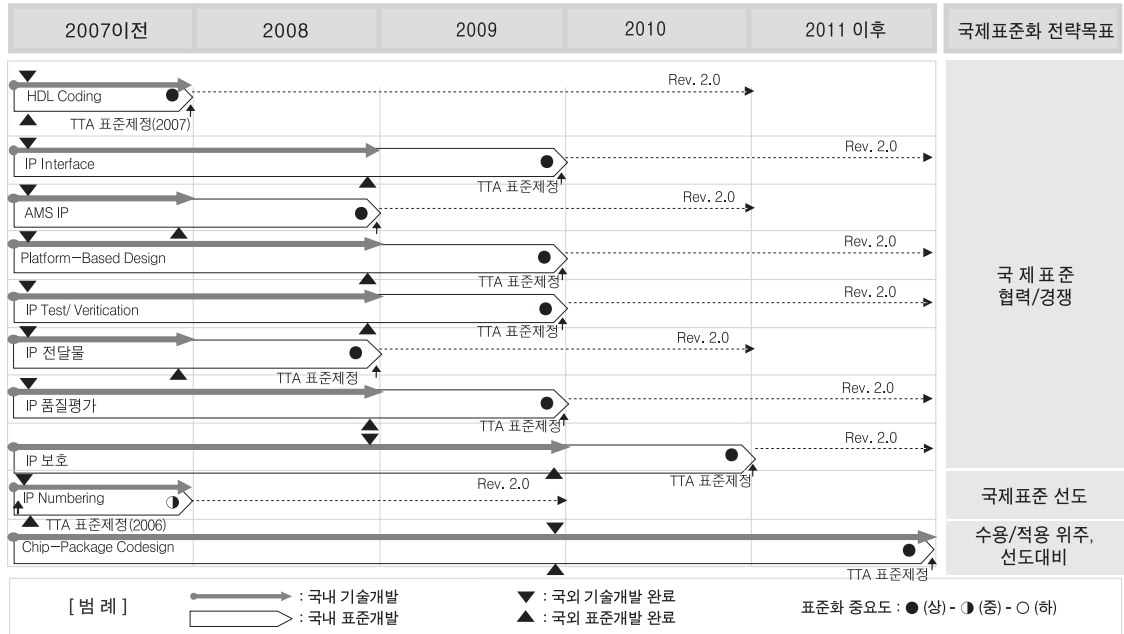
- 세부전략(안)

- 최근들어 새로이 각광받기 시작한 기술이며 국제적으로 기술 개발 및 표준화가 크게 진행되고 있지 않으나, 국내의 기술 수준이 국제 수준에 비해 상당히 미흡한 편이므로 SI로 판단하면 수용/적용 전략이 얻어짐
- 전문가들의 주된 의견에 따르면, 이 기술은 상업적으로 파급 효과가 매우 크고 시장 규모가 큰 편이며 아직까지 국제적인 표준화 작업이 진행되고 있지 않기 때문에 국가적으로 강력한 기술 개발과 함께 적극적인 표준화 작업을 진행하여 국제 표준을 선도하는 것이 유리하다는 결론을 얻음
- 따라서 현 시점에서는 수용/적용 전략을 위주로 하되 국제 표준 선도 전략에 대해서도 어느 정도 대비하고 있다가 국내의 기술수준이 어느 정도 국제 수준을 따라잡으면 곧바로 국제 표준 선도 전략으로 방향 전환하는 것이 바람직하다고 여겨짐
- 기술의 특성상 사실상의 표준 (De Facto Standard)의 형태가 적합하며, 기술의 상당 부분이 파운드리 업체의 개별 사정과 연관이 있으므로 엄격한 형태의 표준안보다는 유연한 형태의 가이드라인이 적합하다고 판단됨

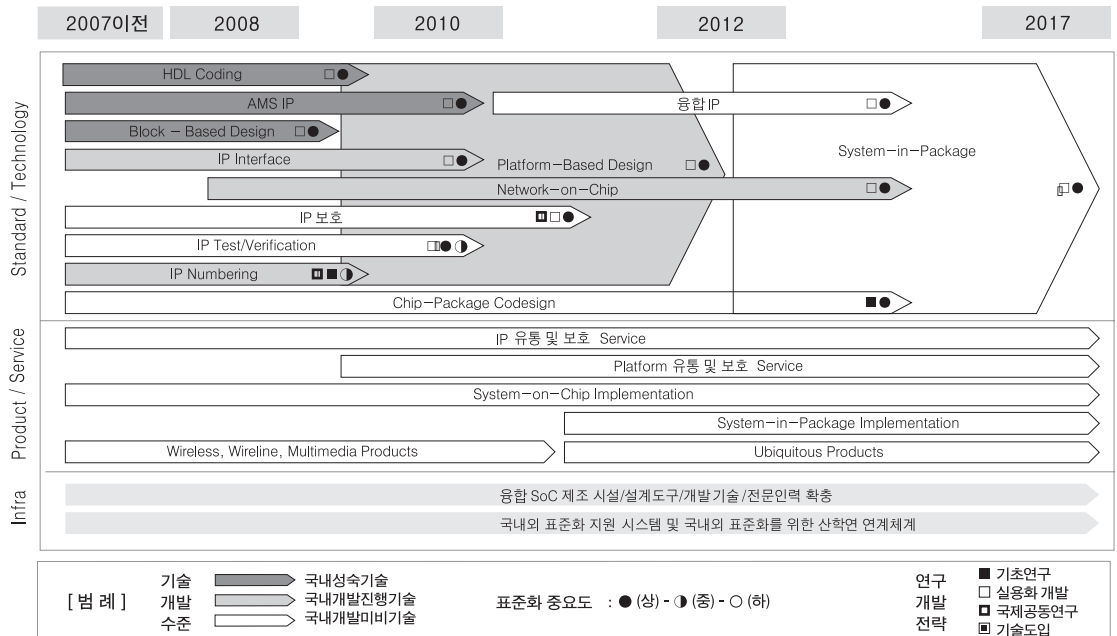


### 3.4. 중장기 표준화로드맵

#### 3.4.1. 중기('08~'10) 표준화로드맵



#### 3.4.2. 장기 표준화로드맵(10년 기술예측)



## [국내외 관련표준 대응리스트]

구분	표준화항목	표준명	기구 (업체)	제정 연도	제개정 현황	국내 관련표준	국내 추진기구
IP 설계 기술	HDL Coding	HDL Coding	VSIA	2004	초안	HDL Coding	SoC Forum
	IP Interface	IP Interface	VSIA	2000	제정/개정	-	-
	AMS IP	AMS IP	VSIA	1999	초안	AMS IP	SoC Forum
	Platform-Based Design	Platform-Based Design	VSIA	2003	초안	-	ETRI
IP 검증 및 테스트 기술	IP Test/Verification	IP Test/Verification	VSIA	2001	제정/개정	IP Test/Verification	SoC Forum
IP 유통 표준	IP 전달물	IP 전달물	VSIA	2001	제정/개정	IP 전달물	SoC Forum
	IP 품질 평가	IP 품질 평가	VSIA	2002	초안	IP 품질 평가	SoC Forum
	IP 보호	IP 보호	VSIA	2000	초안	-	-
	IP Numbering	IP Numbering	-	-	-	IP Numbering	IT SoC 협회
IP 통합 기술	Chip-Package Cocesign	-	-	-	-	-	-

## [참고문헌]

- [1] IT SoC 산업 동향, IT-SoC 협회
- [2] www.vsia.org
- [3] www.si2.org
- [4] www.accellera.org
- [5] www.spiritconsortium.org
- [6] www.socforum.org
- [7] www.kisti.re.kr
- [8] www.itfind.or.kr
- [9] www.ocpip.org
- [10] IT839 전략 기획보고서(5, IT-SoC), 정보통신연구진흥원, 2004년 6월
- [11] IT839 전략 표준화 로드맵 종합보고서, ver.2007, p166-209, 한국정보통신기술협회, 2006년12월
- [12] HDL을 이용한 SoC 및 IP 설계 기법, 강성호외 3인, 홍릉과학출판사, 2004년 4월
- [13] ITRS(International Technology Roadmap for Semiconductors) <http://www.itrs.net>
- [14] SiP 기술, 주간기술동향, 2006년 4월
- [15] IT839 전략의 차세대 수출 주력 품목 해외 진출 전략 개발, 정보통신연구진흥원, 2006년 9월





## [약어]

AMS	Analog Mixed Signal
DTV	Digital TV
ETRI	Electronics and Telecommunications Research Institute
HDL	Hardware Description Language
IP	Intellectual Property
ITRI	Industrial Technology Research Institute
IMEC	Inter-University Microelectronics Center
KIPEX	Korean Semiconductor Intellectual Property Exchange
KETI	Korea Electronics Technology Institute
OCP/IP	Open Core Protocol International Partnership
SI2	Silicon Integration Initiative
SiP	System-in-Package
SPIRIT	Structure for Packaging, Integrating, and Reusing IP within Tool Flows
SIPAC	System Integration and IP Authoring Center
SoC	System-on-Chip
STARC	Semiconductor Technology Academic Research Center
TTA	Telecommunications Technology Association
TTM	Time to Market
VSIA	Virtual Socket Interface Alliance

1. 본 분석자료는 정보통신부의 국책사업인 “정보통신표준화 계획수립 및 대응전략 연구”의 일환으로 발간된 자료입니다.
2. 본 분석자료의 무단 복제를 금하며, 내용을 인용할 시에는 반드시 정보통신부 정보통신 연구개발사업의 연구결과임을 밝혀야 합니다.
  - 총괄책임자 : 진병문 (TTA 표준화본부장)
  - 연구책임자 : 구경철 (TTA 전략기획팀장)
  - 전략기획팀 : 손 홍, 장종표, 강부미, 진수경, 전철기, 박정환, 전덕중, 백종현

---

## ICT Standardization Roadmap 2008

### 종합보고서 4

---

2007년도 12월 23일 인쇄  
2007년도 12월 31일 발행

---

발 행 소 : 한국정보통신기술협회  
발 행 인 : 김 원 식  
발간번호 : TTA-07098-SA  
인 쇄 인 : 정우기획인쇄 (02-2271-0369)

---



**한국정보통신기술협회**

Telecommunications Technology Association

463-824, 경기도 성남시 분당구 서현동 267-2

Tel : 031-724-0087 Fax : 031-724-0089

<http://www.tta.or.kr>

