

IT SoC

1. 개요

1.1. 추진경과 및 중점 추진방향

■ 추진경과

- IT-SoC는 2004년도부터 중점기술 표준화 대상항목으로 선정되었다.
- 2004년(Ver.2005)에는 SoC의 설계에 핵심 요소인 IP 설계 기술, IP의 유통 표준, IP 검증 및 테스트 기술과 관련된 표준화항목을 주요 표준화 대상으로 선정하였다.
- 2005년(Ver.2006)에는 중점 표준화 대상항목인 IP 유통 표준, IP 설계 기술, IP 검증 및 테스트 기술의 3가지 요소기술에 관련된 세부대상 표준화 대상인 IP 전달물 표준, IP 품질평가 표준, IP 보호 표준, IP Numbering 표준, HDL Coding 방법, IP Interface, AMS IP 설계, Platform 기반 설계, IP Test/Verification 기술 표준화항목에 대해서 로드맵을 보완하였다.

〈표 1〉 국내 로봇산업 규모

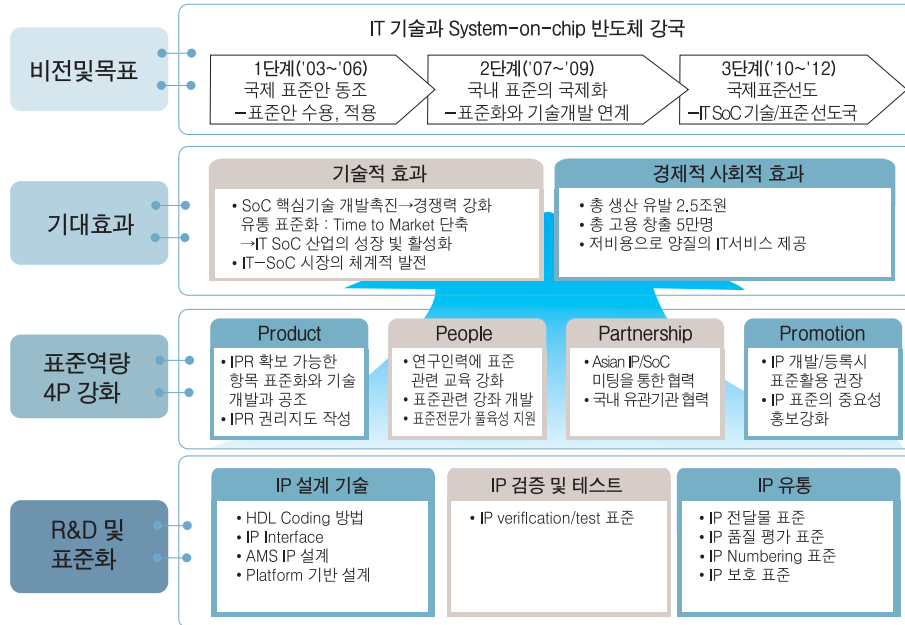
2003년(Ver.2004)	2004년(Ver.2005) 중점기술	2005년(Ver.2006) 중점기술	추진 경과
2004년도부터 표준화 대상항목으로 선정 로드맵 작성 없음	IP 설계 기술	IP 설계 기술	TTA 산하에 IT SoC 표준화 그룹 PG107 설치, SoC 포럼의 표준안 상정
	IP 유통 표준	IP 유통 표준	
	IP 검증 및 테스트	IP 검증 및 테스트	

■ 중점 추진방향

- 본 2007년 IT-SoC 표준화 로드맵은 ver.2005과 ver.2006을 기반으로 하여 작성하고자 한다. 2005년까지 표준화추진 로드맵은 VSIA의 표준화 대상항목과 국내 SIPAC 등에서 발표한 표준안을 기초로 하여, SoC Forum을 통한 검토 및 feedback을 받아서 TTA 표준으로 추진하였다. 2006년 이후 SIPAC이 사업 종료된 이후로 국내표준안 작성의 핵심 주체가 사라져서 새로운 표준화추진 구도가 필요하며 전자통신연구원, ITSOC 협회가 중심이 되어 국내표준화를 추진하는 구도로 보완하고자 한다.
- VSIA에서 아직 미제정한 IP Numbering 표준 등 새로운 분야와 AMS, 테스트 등 표준 미제정 분야에서 표준 선도에 집중하고자 한다.
- Numbering system 등 표준 미제정 분야에서 IPR 확보 전략에 따른 표준화 분야에 집중해야 한다.
- 실질적 표준은 발 빠르게 수용/적용을 판단하여 기술 종속을 최소화해야 한다.

- 2006년(Ver.2007)에는 중국, 일본, 대만의 IT-SoC 표준관련 기관과의 협력을 통하여 아시아 표준을 제정하기 위한 공동 노력을 강화하여 국제표준에 공동 대응해야 겠다.

1.2. 표준화의 Vision 및 기대효과



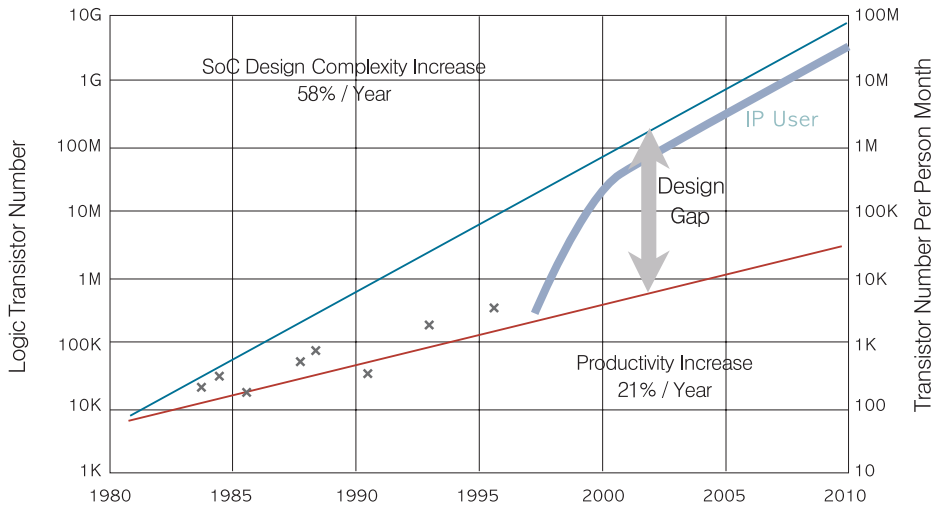
(그림 1) IT SoC 기술 표준화의 비전 및 기대효과

1.2.1. 표준화의 필요성

SoC에서 표준의 이슈는 서로 다른 분야에서 SoC 개발에 참여하는 시스템 개발자, S/W 및 H/W 개발자 간의 주고 받는 명세서의 표준화에서부터, IP 설계자 및 개발자와 IP 수요자 간의 IP 전달물과 IP 인터페이스 관련 표준, Platform 구성과 Platform 사용자 간에 정보 교환을 규정하는 IP/SoC에 관한 표준은 SOC 기술의 핵심요소라고 할 수 있음

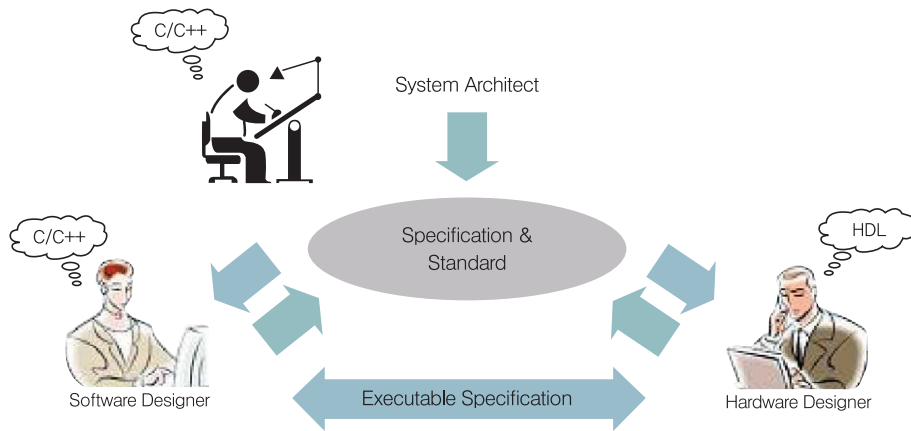
- IT-SoC는 정보통신기기의 핵심기능을 처리하는 메모리, 디지털 및 아날로그 신호 제어 회로, CPU 등의 프로세싱 부를 하나의 반도체 칩에 집적하는 기술로써 시스템 기술과 반도체의 설계, 제조기술들이 융합되고 종합된 IT 핵심기술의 결정체이다.
- SoC의 개발을 위해서는 통신, 컴퓨터, 정보기기 등 “시스템 기술”과 집적회로 설계 및 검증 등 “반도체 기술”이 융합되어야 한다. SoC 설계 기술의 핵심은 수천만 개에서 수억 개가 넘는 트랜지스터로 구성된 복잡한

SoC를 어떻게 설계, 검증, 테스트할 것인가 하는 문제이다. 설계와 개발의 복잡도는 증가하는 반면에 시장에서 요구하는 제품개발 시간은 반대로 짧아지고 있어서, time-to market의 해결이 극복하여야 할 중요한 문제이다.



(그림 2) SoC 설계의 복잡성 자료: (SEMATECH)

- 이러한 SoC 설계의 복잡성, 기술의 다양성 및 시간제약 문제를 극복하기 위해서는 동작이 검증된 IP를 재사용하여 SoC를 설계하는 방법이 필요하게 되었다. IP를 재사용하여 SoC를 설계하는 방법은 초기에는 복잡한 ASIC을 위해서 필요한 기능을 만족하는 IP를 사용하여 설계하는 Block 기반설계(Block Based Design) 방법이 사용되었으나, 현재는 미리 검증된 IP의 재사용을 위한 시스템의 구성을 설계하고 IP뿐만 아니라, 시스템의 기본 구성도 재사용하여 시스템을 개발하는 Platform 기반 SoC 설계방법(Platform Based Design)으로 발전하였다.
- SoC 개발 과정에서는 시스템의 주요 성능과 구조를 설정하는 시스템 개발자(System Architect)와 시스템의 S/W 개발자 및 H/W 개발자 간에 표준화된 실행 명세서를 주고받아야 한다. SoC에서 표준의 이슈는 서로 다른 분야에서 SoC 개발에 참여하는 시스템 개발자, S/W 및 H/W 개발자 간의 주고 받는 명세서의 표준화에서부터, IP 설계자 및 개발자와 IP 수요자간의 IP 전달물과 IP 인터페이스 관련 표준, Platform 구성과 Platform 사용자 간에 정보 교환을 위한 표준 등을 포함하게 된다. 따라서, IP의 제작, 검증, 품질 평가, 유통, 부정 사용에 대한 기술적인 보호와 플랫폼 기반 설계 등에 관한 것들을 규정하는 IP/SoC에 관한 표준은 SOC 기술의 핵심요소라고 할 수 있다.



(그림 3) SoC 개발 과정에서 표준의 중요성

1.2.2. 표준화의 목표

System-on-Chip 기술의 기간이 되는 IP 개발 산업이 활성화될 수 있도록, IP의 제작, 검증, 품질평가, 유통 및 거래, 부정적 사용에 대한 기술적 보호, IP 테스트 등에 관련된 표준화추진

- IT-SoC의 설계, IP의 유통, IP 및 SoC 설계의 검증 및 테스트를 위한 표준제정
- VSIA 등 국제표준화추진 기구의 표준제정에 대응하는 국내표준안 마련
- 우리나라가 IT-SoC 표준화추진에서 중·일·대만 등과의 협력을 통하여 아시아의 표준을 주도

1.2.3. Vision 및 기대효과

SoC 핵심기술개발 촉진을 통한 국내 산업의 발전

- SoC 산업의 표준을 제시하여 표준화된 IP 개발 촉진
- IP 품질의 향상에 의한 시장 신뢰성 확보
- SoC 핵심기술개발 촉진을 통한 한국 반도체 산업 경쟁력 향상
- TTM(Time-To-Market)의 만족에 의한 IP 산업, IT 산업 등 SoC 관련산업의 성장 및 활성화 촉진
- SoC 개발을 지원하는 부가 솔루션들의 신시장 형성 및 성장 촉진
- SoC 설계기술의 유통 표준 제시를 통한 SoC시장의 체계적인 발전 및 활성화 촉진
- SoC 개발을 위한 IP 설계 표준화로 IP 설계 및 사용 촉진

2. 국내외 현황분석

2.1. 중점기술개요

2.1.1. 중점기술 및 표준화 대상항목의 정의

- 중점기술의 정의

IT-SoC 기술은 IP를 재사용하는 Block 기반 설계 또는 platform 기반 설계 방법에 의하여 system-on-chip을 설계 및 개발하는 방법

- IT-SoC는 정보통신기기의 핵심기능을 처리하는 메모리, 디지털 및 아날로그 신호 제어 회로, CPU 등의 프로세싱 부의 복잡한 시스템을 하나의 반도체 칩에 집적하는 기술이다.
- IP는 동작이 검증되고 IT-SoC 설계에서 재사용이 가능한 설계 Block을 의미한다.
- IP를 기반으로 SoC를 설계하는 방법에는 블록 기반 설계방법과 플랫폼 기반 설계 방식이 있다. 블록 기반 설계는 시스템을 여러 블록으로 설계하고 필요로 하는 IP들은 기존의 IP를 재사용하거나 IP 공급자로부터 구입하여 시스템을 구성하고 검증하는 방법이다.
- 플랫폼 기반 설계는 공통적인 아키텍처(Architecture)와 core processor에 상주하는 OS 등 범용적인 platform을 구성해놓고 필요에 따라서 소프트웨어를 변경하거나 새로운 기능 블록을 추가하는 방법으로 시스템을 재구성하는 것이다.

- 표준화 대상항목의 정의

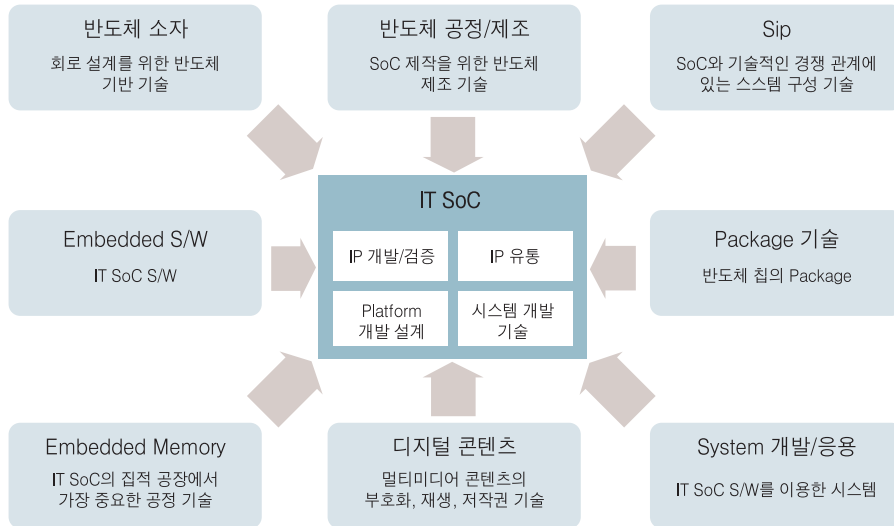
- IT-SoC 기술 표준화는 VSIA를 중심으로 진행하고 있다. IT-SoC와 관련된 요소기술은 IP 자체를 개발하고, IP를 이용한 설계 기술을 개발하는 기술과, IP를 유통하기 위한 표준화와 인프라 구축 기술, 그리고 IP의 검증과 테스트 기술이라 하겠다.

〈표 2〉 지능형로봇의 표준화 대상항목 및 내용

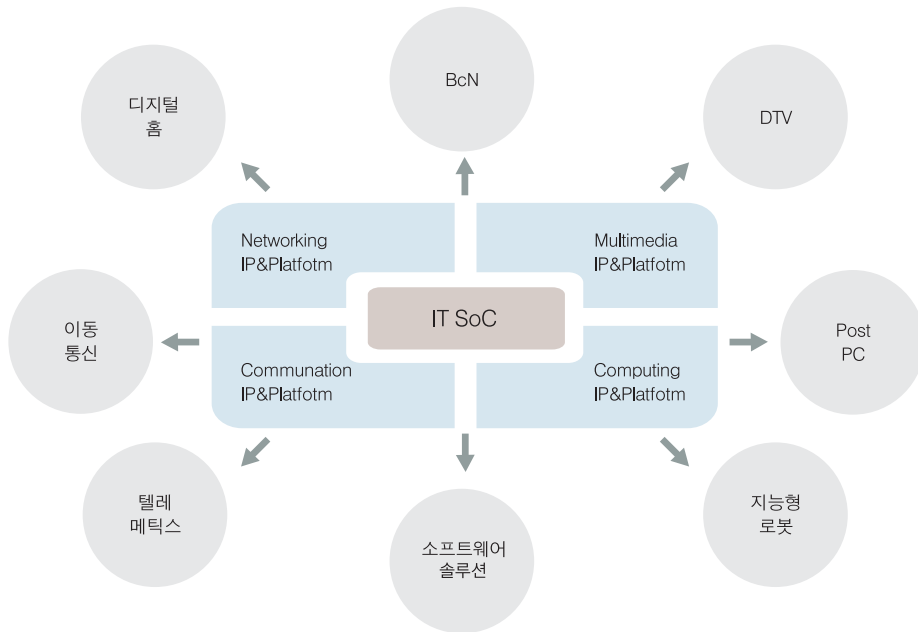
구분	정의	표준화 대상항목	표준화 내용
IP 유통 표준	IP의 거래 및 유통과 관련된 기술적인 표준	IP 전달물 표준	IP 사용자에게 IP가 전달될 때 재사용이 용이하도록 전달해야 할 항목 정의
		IP 품질평가 표준	IP 사용자가 IP 구매 전 IP의 품질에 대한 정보를 제공하기 위한 항목 정의
		IP 보호 표준	IP 거래에 있어서, 법적인 IP 보호, 기술적 IP 보호에 대한 방법론
		IP Numbering 표준	IP 유통 및 관리가 용이하게 하기 위한 표준화된 넘버링 방법
IP 설계 기술	IP의 설계 및 개발과 관련한 기술	HDL Coding 방법	하드웨어 기술 코드를 작성하는 방법에 대한 표준을 제시하여 사용자가 코드에 대한 가독성, 설계의 최적화 하도록 함.
		IP Interface	IP 상호 연결을 위한 표준 제시
		AMS IP 설계	아날로그 혼성 모드 IP의 경우에 대한 재사용 측면의 설계 기술
		Platform 기반 설계	IP 재사용이 용이하도록, 구성된 Platform을 기초로 한 SoC 설계 기술
IP 검증 및 테스트 기술	IP의 검증 및 테스트 기술	IP Test/Verification 기술	내장될 IP의 검증 및 테스트 기술

2.1.2. 연관기술 분석

• 연관기술 관계도



(그림 4) IT SoC 연관기술 관계도



(그림 5) IT SoC와 신성장 동력 산업의 연관기술 관계도

• 연관기술 분석표

연관기술	내용	표준화기구/단체		표준화수준		기술개발수준	
		국내	국외	국내	국외	국내	국외
IP 유통 모델	IP 유통을 위한 유통 모델 마련	SIPA	VSIA	표준화 진행 중	표준화 진행 중	기술 개발 중	기술 개발 중
반도체 공정 기술	반도체 제조를 위한 CMOS, MEMS, MMIC 등 제조 공정 기술	-	ITRS 일본STARC	표준 미제정	표준화 진행 중	기술 개발 중	기술 개발 중
IP 설계 기술	반도체 설계 기술에 추가적인 IP 재사용을 위한 기술	SoC Forum	VSIA	표준화 진행 중	표준화 진행 중	기술 개발 중	기술 개발 중
패키지 기술 (System-in-Package)	반도체 칩의 패키징 기술로서 여러 칩을 하나의 패키지에 집적하는 기술	-	-	표준 미제정	표준 미제정	기술 개발 중	기술 개발 중
Embedded S/W	IT-SoC에 내장되는 RTOS와 S/W	-	-	표준 미제정	표준 미제정	기술 개발 중	기술 개발 중
시스템 개발 응용 기술	IT SoC를 이용한 시스템 개발			표준 미제정	표준 미제정	기술 개발 중	기술 개발 중

- IT-SOC의 연관기술은 IT-SoC의 설계 및 제조에 관계된 기술 관련성과 IT-SoC의 응용과 관련된 기술 연관성으로 구분하여 살펴되어야 한다. IT-SoC는 설계과정, 반도체 제조 과정, 패키지 및 테스트 과정을 통하여 제조되므로 IP 설계 기술, IP 유통 모델, 반도체 제조 공정, 패키지 및 테스트 기술 등이 IT-SoC의 설계 및 제조에 관계된 연관기술이라고 할 수 있다.

- IT-SoC는 유선, 무선 통신 기기, 멀티미디어 기기, 지능형로봇, 텔레매틱스 등 IT 기기의 핵심 기능을 구성한다. 따라서 응용분야에서 IT-SoC의 연관기술은 IT 산업과 관련된 모든 신성장 동력 산업이라고 볼 수 있다. 현재의 제품개발 방법에서는 신성장 동력 제품과 관련된 플랫폼을 개발함으로써 IT-SoC기술을 이용하여 신성장 동력 제품을 개발하고 있다.
- 공정 기술 : 반도체 제조관련 기술은 IP/SoC 설계기술과 직접적인 관련을 갖는 연관기술이다. 공정기술에 대해서는 반도체 기술 roadmap(ITRS)을 1999년부터 제정하여 공표하고 있다.
- IT-SoC의 응용과 관련된 연관기술로는 Embedded S/W가 매우 중요해지고 있다. Embedded S/W는 RTOS(Real Time OS)와 내장형 S/W 기술에 관련한 표준화가 진행되고 있다.

2.2. 시장 현황 및 전망

- IT-SoC 산업협회의 발표자료에 따르면, 2004년 비메모리 반도체 분야의 성장률은 2003년 대비 36%의 성장률을 보이고 있다. 삼성전자가 국내 비메모리 반도체 매출의 절반에 가까운 47%를 차지하고 있어서 메모리와 아울러 비메모리 SoC 제품에서도 국내 산업의 절대적인 위치를 차지하고 있다. 다양한 응용분야의 SoC를 제조하는 중소기업체의 비중은 20% 정도에 그치고 있다.

〈표 3〉 국내 반도체 매출액 (출처) IT-SoC 산업동향, 2004.12 정보통신부

연도	2003년	2004년
반도체 전체	172,250억 원	256,200억 원
비메모리 반도체 (SoC, ASIC, 단일 소자 포함)	36,650억 원	48,800억 원

- 지역별 반도체 시장 동향 : 2004년 세계 SoC 시장 규모는 2003년의 1,338억 달러보다 19% 늘어난 1,950억 달러이다. 기존의 SoC 시장이 주로 휴대전화, 컴퓨터 등에 집중되고 그 이외의 분야에서는 한정적으로 적용되던 것이 정보가전의 새로운 물결을 일으키고 있는 DTV와 DMB, RFID, Home network 등으로 그 적용 범위와 응용분야가 점점 넓어지고 시장이 확대되어가기 때문이다.

〈표 4〉 지역별 반도체 소비 시장 규모 및 전망(2005. 12 iSupply Corp) (단위 USM\$)

	2003년	2004년	2005년	2006년	2007년	2008년	2009년
미국	39,543	46,543	47,205	45,298	48,628	53,523	58,047
EU+중동	33,297	39,592	38,687	39,005	41,072	44,095	48,673
일본	34,427	42,202	41,138	40,159	42,787	47,381	49,688
아시아(일본 제외)	91,125	117,685	130,400	38,895	158,770	181,659	202,326

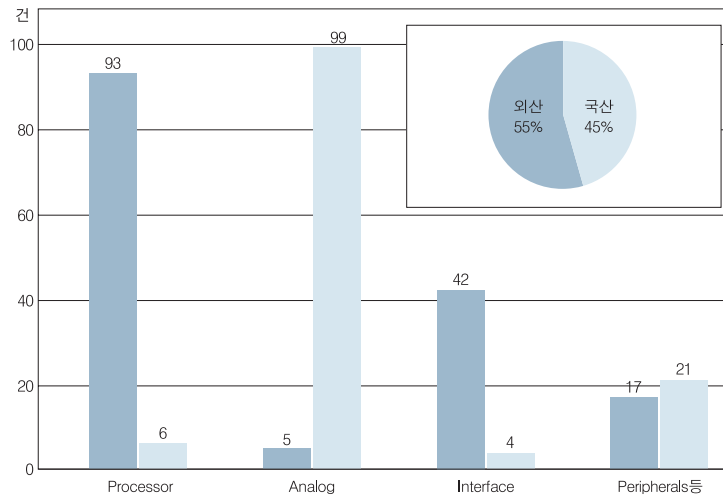
2.2.1. 국내 시장 현황 및 전망

- 국내 중소벤처업체의 주요 IP 활용실적을 IT-SoC 협회의 통계자료를 통하여 살펴보면, 2003년도 중소벤처업체가 삼성전자와 하이닉스반도체에서 제작한 SoC는 총 78건이며, 이에 사용된 IP는 총 124건이다. 가장 많이 사용된 IP는 ADC, DAC 및 PLL 등의 아날로그 Hard IP로 전체의 60%를 차지한다. 내장형 프로세서 코어는 ARM을 대부분 사용하였고, 고속 인터페이스 IP로는 USB가 대부분을 차지하였다. 사용된 아날로그 IP는 공정 의존적이고 매크로 셀 성격으로 대부분 국내에서 개발된 국산 IP이지만, 프로세서 코어와 BUS 인터페이스 등의 디지털 IP는 거의 도입된 외산 IP를 사용하였다.

년도	삼성전자	매그나칩	합 계	구성비(%)
프로세서 코어	20	6	26	21.0
- ARM 코어	19	4	23	18.5
- 80C51 외	1	2	3	2.4
아날로그 IP	58	17	75	60.5
- ADC/DAC	32	7	39	31.5
- PLL	26	10	36	29.0
고속 인터페이스 IP	15	8	23	18.5
- USB	13	6	19	15.3
- PCI 외	2	2	4	3.2
합 계	93	31	124	100
(적용 SoC)	60	18	78	-

[출처] IT-SoC 산업동향, 2004.12 정보통신부

- 국내 반도체제조업체의 IP 보유 현황을 살펴보면, 국내의 삼성전자, 매그나칩, 동부아남반도체 등 반도체 제조업체 3사가 보유하고 있는 0.13/0.18/0.25um 지원 IP는 총 287건이다. 이중 삼성전자가 전체 보유 IP건수의 약 74%를 차지하고 있으며, 매그나칩이 15%, 동부아남반도체가 12%를 차지하고 있다. 아날로그 IP는 공정 의존적이고 매크로셀 성격으로 대부분 국내에서 자체개발한 IP이며, 그 외의 디지털 IP는 거의 도입된 외산 IP이다. TSMC가 IP Alliance Program에서 제공하는 IP 건수는 0.13um 31종, 0.18um 51종, 0.25um 34종인데 비하여, 삼성전자의 경우 ARM 코어만 47종의 IP를 제공하는 등 0.25um 이후의 첨단 SoC 개발에 필수적인 풍부한 IP를 제공하고 있어 세계적인 Fabless업체로부터 환영을 받고 있지만, 대량생산 위주의 SoC제품위주로 지원되기 때문에 국내 중소업체가 이용할 수 있는 기회는 극히 제한적인 문제점이 있다. 삼성전자를 제외한 국내 반도체제조업체를 이용하여 SoC를 제작할 경우 지원되는 IP의 부족으로 인하여 중소업체가 직접 필요한 IP를 라이센스하여야 하며 이 경우 발생하는 IP 사용료의 비용부담이 국내 SoC 산업발전의 장애요소이다.



(그림 6) 국내 반도체제조업체의 보유 IP 현황

〈표 5〉 국내 반도체제조업체의 보유 IP 현황

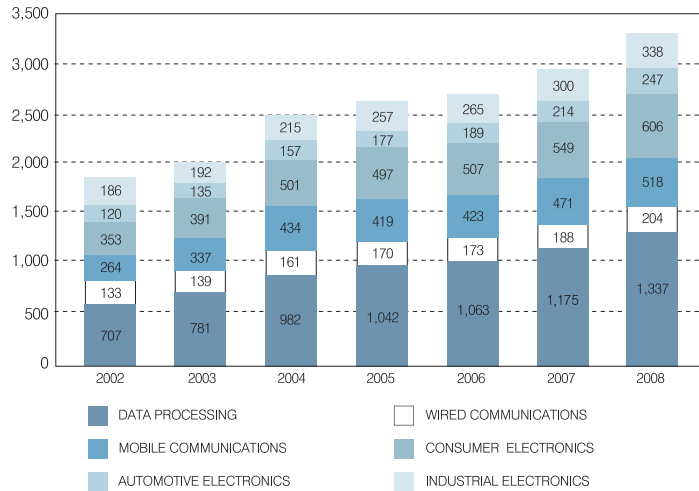
구분	0.13um	0.18um			0.25um			합계
	삼성	삼성	매그나칩	동부	삼성	매그나칩	동부	
프로세서 코어	38	25	6	8	10	7	5	99
- ARM 코어	26	17	1	1	4	2	0	51
- 80C51 외	0	0	5	6	0	5	4	20
- DSP 코어	12	8	0	1	6	0	1	28
아날로그 IP	18	25	14	4	19	13	11	104
- ADC/DAC	9	17	11	2	16	10	5	70
- PLL	9	8	3	2	3	3	6	34
고속 인터페이스	15	17	1	1	8	2	2	46
- USB	6	5	0	1	2	1	2	17
- PCI 외	9	12	1	0	6	1	0	29
Peripheral IP	36	36	0	0	36	0	0	36
Multimedia 등	0	0	0	1	0	0	1	2
합 계	107	103	21	14	73	22	19	287

[출처] IT-SoC 산업동향, 2004.12 정보통신부

2.2.2. 국외 시장 현황 및 전망

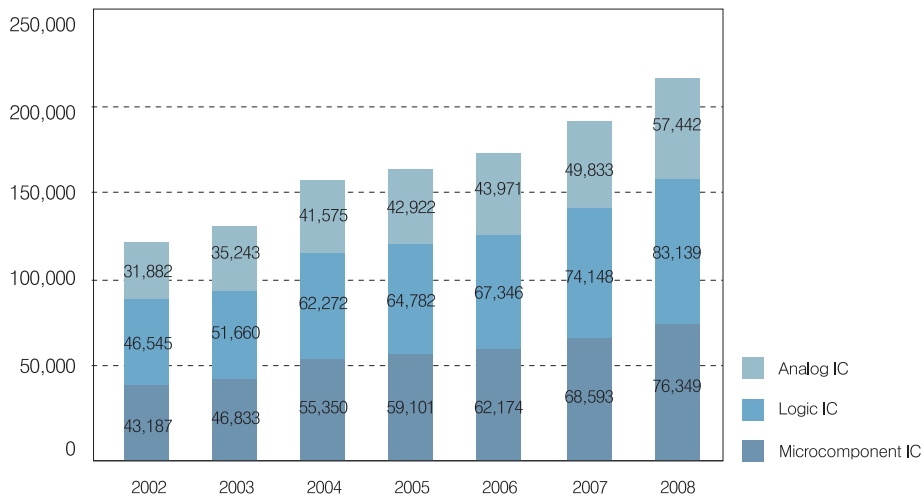
- 2004년 12월 발간된 IT-SoC 산업 동향에 의하면 2004년 세계 SoC 시장 규모는 2003년 1,340억 달러보다 19% 증가한 1,590억 달러이다. 세계 SoC 시장은 2008년까지 평균 10% 이상의 성장을 계속할 것으로 관측되고 있다. 특히 응용분야의 확대에 따라 다양한 제품군의 수요가 발생함으로써 SoC 각 응용분야의 연평균 성장률이 10% 정도로 고르게 나타나는 것을 알 수 있다.

- 반도체 응용분야의 확대에 따라 2004년을 기점으로 반도체 시장규모가 확대되고 있다. 특히, 자동차 관련 automotive electronics 부분의 경우 power train 부문이 10%대의 안정적인 성장을 유지하면서 새로운 시장을 이끌어갈 것으로 전망된다. 전통적으로 전체 반도체 시장에서 약 40%의 점유율을 보이고 있는 Data processing 분야도 연평균 11.2%의 안정적인 기조를 유지할 것으로 예상된다. 그러나, wired communication 부분의 경우 시장이 점차 포화되어감에 따라서 연평균 7.4%로 전체 6개 부문 중에서 상대적으로 저성장할 것으로 전망된다.



자료: iSuppli Corp(2004,12)

(그림 7) 연도별 응용 분야별 SoC 시장 전망

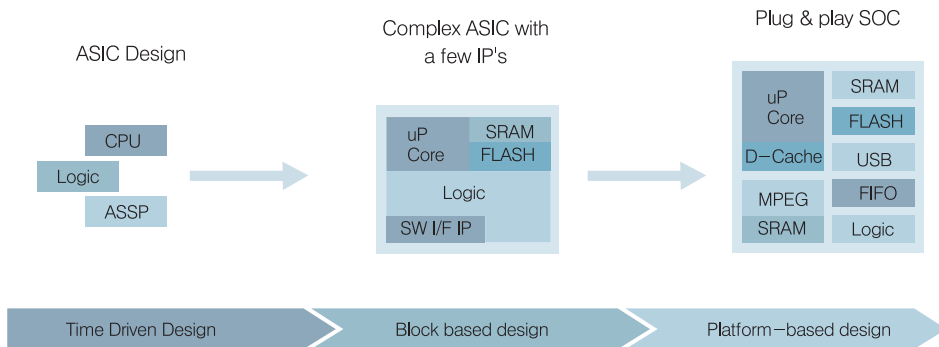


자료: iSuppli Corp(2004,12)

(그림 8) 연도별 응용 분야별 SoC 시장 전망

2.3. 기술개발 현황 및 전망

- SoC 설계 기술의 핵심은 수천만 개에서 수억 개가 넘는 트랜지스터로 구성된 복잡한 SoC를 어떻게 설계, 검증, 테스트할 것인가 하는 문제이다. 설계와 개발의 복잡도는 증가하는 반면에 시장에서 요구하는 제품개발 시간은 반대로 짧아지고 있어서, time-to market의 해결이 극복하여야 할 또 하나의 심각한 문제이다. 이러한 SoC 설계의 복잡성, 기술의 다양성 및 시간제약 문제를 극복하기 위해서는 동작이 검증된 IP를 재사용하여 SoC를 설계하는 방법이 필요하게 되었다. IP를 재사용하여 SoC를 설계하는 방법은 초기에는 복잡한 ASIC을 위해서 필요한 기능을 만족하는 IP를 사용하여 설계하는 Block 기반설계(Block Based Design) 방법이 사용되었으나, 현재는 미리 검증된 IP의 재사용을 위한 시스템의 구성을 설계하고 IP뿐만 아니라, 시스템의 기본 구성도 재사용하여 시스템을 개발하는 Platform 기반 SoC 설계방법(Platform Based Design)으로 발전하였다. Platform은 그림의 예에서 보는 바와 같이 이미 동작이 검증된 S/W 및 H/W IP들과 Processor, 운영체제로 목적하는 시스템의 기본 구성을 갖추고 있다. Platform 기반의 SoC의 개발은 platform의 기본 구성에 새로운 기능의 IP를 첨가 또는 일부 기능을 변경하여 파생품(SoC Derivative)을 제작하는 것이다. Platform 기반으로 설계된 SoC는 미리 검증된 반도체 공정으로 칩을 제작하기 때문에 설계, 제조, 테스트에 필요한 시간과 비용을 크게 줄일 수 있다.



(그림 9) 반도체 칩 설계 방법의 발달 (Henny Chang외 5인 저 "Surviving the SOC revolution"에서 인용)

2.3.1. 국내 기술개발 현황 및 전망

- 기술개발 정부정책 및 기본계획
 - 정보통신부는 개인소득 2만 달러 달성을 위한 국가차원의 산업육성 정책으로 IT839 전략을 추진하고 있다. IT-SoC는 정보통신부의 9대 신성장동력사업의 핵심사업으로서, 여타 IT839 전략의 핵심 경쟁력을 확보하기 위하여 필요한 핵심전략 산업이다.
 - 2005년도 정보통신부는 IT839 전략을 효과적으로 지원하기 위한 기술개발, 인력 양성, 표준화를 중점 추진하고 부품 무역 수지악화, IT 산업의 양극화 등을 해결하기 위하여 지속적으로 투자를 확대한다는 것이 기

본 방침이라고 발표하였다.

- 정보통신부가 발표한 정책은 IT839 전략에 따른 새로운 서비스 도입과 첨단 인프라 구축에 기반이 되고 IT 신성장 동력과 직결되는 핵심 부품 기술개발에 역점을 두어 차세대성장동력 등 범 부처 사업과의 연계강화를 통해 시너지를 극대화하는 것이다. 이를 위하여, IT 산업의 고부가가치화를 위한 핵심부품개발을 강화, 시스템의 경쟁력 확보를 위해 필수적인 품목을 집중지원 육성, 차세대 전략 분야의 리더십 확보를 위한 국제 표준화 지원을 강화, 차세대 이동통신 등 국내 선도기술을 국제표준에 전략적으로 반영하고 한·중·일 표준화 협력 등을 통한 제후를 확대 및 기술개발-표준화-인력양성 사업간 연계를 강화한다. 기술개발수행기관 등 R&D 사업의 수행 주체 간에 협력 네트워크를 강화하며 차세대 성장동력 산업의 성과 제고를 위한 End product 중심의 기술개발과 IT 강국의 질적 도약을 위한 핵심원천기술개발을 병행한다.
- 정보통신부산 하에 IT-SoC사업단을 운영함으로써 중소기업체들에게 SoC개발을 위한 HW, SW, 애플리케이션, 시험장비 등을 구축하여 각종 설계환경을 지원하고 있으며, 창업보육사업과 마케팅 네트워크 구축 및 국내외 협력추진 사업을 수행 중에 있다.
- 특허청에서는 반도체설계자산연구센터(SIPAC: System Integration&Intellectual Property Authoring Center)를 설립하여 반도체설계자산 보호 및 유통기반 조성사업을 추진하였으나, 2005년 말에 사업이 종료되었다.

• 국책연구소

- 한국전자통신연구원의 기반기술연구소에서는 IT 839 전략의 성공 추진을 위한 국가 IT-SoC 관련 R&D 역량 집결 시스템을 구축한다. 또한, 출연기관, 대기업-중소기업 간 협력체계를 구축한다. 한국전자통신연구원에서는 사업의 위험성이 크나 IT 산업의 핵심인 중장기 대규모 연구개발 사업으로 미래 성장 동력을 위한 원천기술을 개발하며, IT 신성장동력 및 핵심 인프라 기술개발, 부가가치 제고를 위한 핵심부품개발을 진행하고 있다. 한국전자통신연구원에서는 산·학·연 공동연구과제를 중점 지원하여 연구개발 성과를 높이고 개발된 기술의 상용화를 촉진하며, 신설된 IT 기술이전본부(ITEC)를 중심으로 기술가치 평가와 체계적인 기술이전 시스템을 강화한다.
- 국내 산업계는 IT-SoC 설계 개발회사, IT-SoC 부품의 수요자인 시스템업체와 Foundry 서비스업체로 구분할 수 있다. 국내 IT-SoC 기업의 주요 제품은 휴대용 전화기와 관련된 멀티미디어 관련 제품으로서, 디스플레이 구동용 반도체인 LDI(LCD Driver IC)와 CIS(CMOS Image Sensor) 제품이 주력 제품을 형성하고 있다.
 - 삼성전자는 국내 최대의 IT-SoC 기업이면서 또한 국내 최대의 IT-SoC 부품의 수요자이다. 삼성전자는 국내 비메모리 반도체 매출액의 50% 정도를 차지하여 국내 IT-SoC 산업을 이끌어가는 위치에 있다.
 - 국내 반도체 산업은 메모리 제품 중심으로 발전하여서, foundry 산업은 대만이나 중국에 비하여 국제 경쟁력이 높지 않다. 매그나칩과 동부아남 반도체는 국내 foundry 전문업체이다.
 - IT-SoC 협회에는 100여 개의 국내 중소 IT-SoC 전문업체가 가입되어 있으며 엠텍비전, 코아로직 등 휴대

전화의 멀티미디어 칩 관련 제품을 공급하는 회사가 매출액 2,000억 원을 돌파하여 국내 선도기업으로 자리 잡고 있다.

- 국내 학계

- KAIST에서는 특허청의 지원에 의해 반도체설계자산연구센터(SIPAC: System Integration & Intellectual Property Authoring Center)를 설립하여 반도체설계자산 보호 및 유통기반 조성사업을 추진하였으나 2005년 말 사업이 종료되었다.
- 서울대 반도체공동연구소의 경우 2001년 12월에 SoC 설계기술개발 및 인력양성을 위한 내장형 시스템연구센터(ESRC)를 설립하여 SoC 관련 교육을 집중수행하고 있으며, 연세대 ASIC 공동설계연구소에서는 SoC 설계기법 및 관련 CAD 기술연구, SoC 설계구현 및 Reusable IP 설계기술연구를 추진하고 있다.

- 국내 특허출원 현황 및 전망

- IT SoC는 반도체 제조 및 소자 기술, IP 설계 기술과 system 설계 기술로 나눌 수 있는데, IP 기술 분야에서는 IP 자체가 신 산업재산권으로 분류되고 있고 특허 출원이 활발하지 않다. system 설계 분야는 모든 응용분야를 포함하므로 IT SoC 분야의 특허 출원 현황을 통계적으로 파악하는 것은 부적절하다.

2.3.2. 국외 기술개발 현황 및 전망

- 주요국가의 정책기조

- 미국은 정부 차원에서 직접적인 IT-SoC 산업의 지원 정책을 펴지는 않고 있으나, 미국에는 세계 최고수준의 반도체 기업들이 IT-SoC 산업을 주도하고 있다. 인텔, TI 등의 반도체 종합 기업뿐만 아니라, 반도체 제조설비를 보유하지 않는 전문 설계업체인 Fabless 기업의 경우에도 미국 기업들이 선두의 자리를 차지하고 있다. 미국의 주요 Fabless 업체에는 CDMA 모뎀칩 분야에서 독보적인 지위를 가지고 있는 Qualcomm, 그래픽 분야의 Nvidia, 케이블모뎀 전문업체인 Broadcom, FPGA 전문업체인 Xilinx와 Altera 등이 세계 상위 10위 권 업체에 포진하고 있다. IP 공급자로는 고속 DRAM 규격을 실현한 Rambus, RISC 프로세서 core 공급자인 MIPS, Library 개발자인 Artisan 등이 유명하다.
- 미국에는 세계적인 반도체 제조, Fabless, IP 공급자, EDA tool 공급자 등의 기업이 있으며, 이들 기업이 중심이 되어 IT-SoC 요소기술을 개발하고 있다. HDL Coding 방법, IP Interface, AMS IP 설계 및 Platform 기반 설계 등의 IP 설계 요소기술은 Synopsis와 Mentor Graphics 등의 EDA tool 전문회사와 IP 공급자들이 자체적으로 개발하고 있다. IP 전달물, 품질 평가, IP 보호에 관한 IP 유통 표준기술은 IP 공급자들에 의하여 연구되고 있으며, 미국의 주요 기업들이 국제표준화 기구인 VSIA를 주도하고 있어서 연구 및 표준화활동에서 주도권을 가지고 있다.
- 유럽은 미국과 아시아에 비하여 IT-SoC 분야에서는 큰 역할을 하지 못하고 있으나, 세계 최대의 IP Core 공급자인 Arm사가 영국에서 출발한 기업인 것에서 알 수 있듯이 기초 기술과 참신한 아이디어를 바탕으로

IT-SoC 분야에서도 저력을 발휘하고 있다. IT-SoC 분야의 기초 연구는 벨기에의 IMEC을 중심으로 연구가 이루어지고 있으며, 프랑스의 D&R이 IP 유통센터로 자리를 잡고 있고, 스웨덴의 SoCware 등이 연구 클러스터를 형성하고 있다.

- 유럽에는 독일의 인피니언, 프랑스와 이탈리아의 합작사인 STMicro, 네덜란드의 필립스 등 반도체 기업이 있으며 이들이 중심이 되어 SoC 기술개발이 이루어진다.
- 일본 반도체 기업은 대부분 종합 전자회사의 일부분이고 설계에서 판매까지를 담당하는 형태를 띠고 있다. 1980년대에는 NEC, 도시바, 히타치 등 일본의 반도체 기업들은 DRAM과 마이콤, 아날로그 등에서 시장을 석권하여 미국을 앞섰었다. 하지만 1980년대 한국과 대만이 DRAM 사업에서 경쟁력을 높이면서 일본 기업의 경쟁에서 내몰리기 시작하였다. IT-SoC 분야에서도, 다양한 제품을 취급하는 일본의 전자 산업에 대응하여 폭 넓은 반도체 제품을 취급하다 보니 특정 분야 특정 제품에 집중한 반도체 기업에 비하여 일본 기업의 경쟁력은 뒤떨어졌다. 한편 일본 반도체 기업들은 급변하는 반도체 시장에 빠르게 대응하지 못하는 약점을 가지고 있다. 이런 상황에서 일본 기업들의 대응책 가운데 가장 중요한 것은 제휴와 협력의 강화이다. 히타치와 미쓰비시가 DRAM을 제외한 전 반도체 분야를 통합하여 설립한 르네상스(Renesas)와, 도시바, NEC, 히타치, 미쓰비시, 후지쓰, 마쓰시다 등이 공동으로 SoC 공동 기술을 개발하기 위하여 설립한 ASPLA 등이 대표적인 사례이다.
- 대만은 1974년 설립된 ITRI 산하에 ERSO(Electronic Research&Service Organization)와 STC(SoC Technology Center)가 IT-SoC 분야의 기술개발을 주도하고 있다. 대만에는 세계적인 Foundry 기업인 TSMC와 UMC가 있어서 세계 Foundry 서비스 시장의 70% 이상을 점유하고 있으며, TSMC와 UMC를 중심으로한 설계 서비스 전문 기업과 IP 제공회사들이 매우 많이 포진되어 있어서 SoC 산업의 인프라가 매우 잘 갖추어져 있다. 대만의 반도체 기업은 파운드리, 어셈블리, 테스트 가운데 공정이나 특정 분야에 특화된 기업이 많고 이들 기업군이 체계적인 분업 구조를 형성하고 있다. 대만은 잘 형성된 인프라를 바탕으로 설계 시장에서도 55억 달러의 매출을 기록하여 미국을 이어서 세계 2위의 SoC 국가로 자리매김을 하고 있다.

2.4. 표준화 현황 및 전망

2.4.1. 국내 표준화 현황 및 전망

- 정부의 표준화 정책
 - 정보통신부는 TTA를 중심으로 IT-SoC 표준화를 지원하고 있으며, TTA에서는 SoC 프로젝트 그룹인 PG107을 구성하여 IT-SoC의 표준화활동을 하고 있다. 현재 PG107에서는 IP 등록 표준안과 IP Numbering 표준안에 대해서 표준화작업을 진행하고 있다.
 - 산업자원부 지원의 KETI는 1998년에 IPCoS 라는 IP 데이터베이스를 구축하고, IP 전달물에 대한 표준안을 제시하였다. 이는 미국 VSIA의 전달물 표준을 근거로 하여 작성하였다.
- 아시안 IP/SoC 기술회의 : 아시안 IP/SoC 기술회의는 한국의 IT-SoC 협회, 일본의 IPTC, STARC, 대만의 SoC Consortium, VDEC 등의 기관이 모여, 2002년 가을부터 아시아권 국가들의 IP/SoC 산업 발전에 대하여 논의하는 컨소시엄이다. 2002년부터 매년 봄, 가을 두 번의 회의로 진행되며, 장소는 한국, 일본, 대만 3국이 돌아가며 호스트하고 있다. 2002년 가을, 일본을 시점으로 대만, 한국은 2003년 가을에 3차 미팅을 주최하였다. 주요 협력 사항은 아래와 같다.
 - HDL 코딩 방법을 포함한 IP 품질 평가 표준 공동 제정
 - IP 데이터베이스 공유
 - IP 유통을 위한 넘버링 표준제정

아시안 IP/SoC 기술회의는 VSIA가 주도하고 있는 표준화추진과는 차별화된, 유통 및 데이터베이스 공유를 위한 IP 분류법, IP 평가 항목 등을 주제로 논의되고 있으므로 추후 국제 유통 표준을 선도할 수 있는 기회가 될 것이라 예상된다. 한편, SIPAC은 위 3국뿐만 아니라, 홍콩, 중국 등과의 IP 데이터베이스 공유를 통한 IP 분류법, 유통 표준 등에 대한 공동 제정을 추진 중이다.
- System-on-Chip Forum : 정통부 TTA가 지원하고, IT-SoC 협회가 주관하는 SoC Forum은 산·학·연 전문가들이 모여 국내 SoC 분야의 기술/정책 방향 수립 및 표준화추진 등의 역할을 수행한다. SoC Forum은 자문위원회, 운영위원회, 분과위원회로 구성되었으며, SoC 산업 관련 기업, 대학, 기관 등이 모여 의견을 교류, 상호 협력을 활성화하는 역할을 수행한다.

2.4.2. 국외 표준화 현황 및 전망

- IT-SoC 관련 표준화는 VSIA(Virtual Socket Interface Alliance)를 중심으로 진행되고 있다. VSIA는 매년 IP 설계, IP 보호 및 유통, 테스트 및 검증에 관련된 표준안을 발표하고 있다.
- VSIA(<http://www.vsi.org>)는 1996년 9월 세계 반도체 기업과 주요 EDA CAD개발 회사 등이 모여 미국에

설립한 단체로 IP를 이용한 설계의 표준화작업을 수행하고 있다. 1996년 8월, 7명의 Corporate Steering member와 35명의 Company member가 참석한 Meeting을 발단으로 하여, 1996년 10월 Meeting(당시 약 50여 member)에서 최초로 Development working groups(DWGs)이 생성되는 계기를 마련하였다. 초기 생성 당시에는 implementation, manufacturing-related test, analogue/mixed-signal, system level, on-chip bus, IP protection의 6개의 DWG가 활동 하였다. VSIA는 IP의 data format, test 방법, interface, 지침서 등에 대한 표준을 정의하는 것을 목적으로 하며, 현재 약 120여 member가 활동하고 있다. 최근 SoC/IP 관련 주요 문제점을 확실히 재정립하기 위해 기존의 그룹(DWGs) 대신에 “Pillar”를 두어 IP Quality, IP Protection, IP Infrastructure 3가지에 중점을 두고 기술적인 이슈와 상업적인 이슈들을 포괄하여 다루고 있다. 다음에서는 VSIA의 활동에 대해서 상세하게 살펴보았다.

- VSIA Governance

10명의 Board로 구성되어 있으며 VSIA의 DWG를 생성하며 DWG 활동을 지원, 감독하며 1년에 4번 meeting을 통해 president, secretary, treasurer를 선출한다. Business Committees와 Technical Advisory Board는 standard와 specification과 관련한 business issue들을 검토하며, Business Committees는 member를 관리하며 Technical Committee(TC)는 각 Pillar의 일을 감독, 지원한다.

- Adoption Group

VSIA는 실제 산업에 필요한 표준안들을 검토하기 위해 Adoption Group을 두어 이를 관리하며, Business Committees와 Technical Advisory Board가 Adoption Group을 지정하게 된다. 현재 Adoption Group으로 OCP-IP(Open core protocol-international partnership) Association이 비영리 단체로 활동하고 있으며, OCP-IP(<http://www.ocpip.org>)의 Governing Steering Committee로 Nokia, Texas Instruments, STMicroelectronics, United Microelectronics Corporation, Sonics 등의 업체들이 참여하고 있다.

- Pillars

기존에는 아래와 같이 10개의 개발 워킹그룹(Development Working Groups)이 있어 각 워킹그룹에서 개발하는 표준안 및 사양서는 DWG, Technical Committee, Board와 Member의 검토를 받아 공개하였다. 2005년 6월부터 이를 다음과 같은 4개 부분의 Pillar로 재구성하고 이에 중점을 두어 활동하고 있다.

* IP Quality Pillar(QIP)

: QIP에서는 SoC 설계시에 효율적으로 IP를 재사용하기 위해서 필요한 IP의 핵심 품질 특성(Quality Attributes)에 대한 정의를 제시한다. QIP(Quality IP) Matric은 제3자의 IP 공급자(3rd party IP Provider)로부터 IP를 제공받을 때 IP의 품질을 평가할 수 있는 평가 항목을 제공한다.

* IP Protection Pillar(IPP)

: IP 보호 및 tracking을 위한 watermarking 등의 방법에 대해 중점을 두어 연구하고 있다.

Virtual Component Identification Soft IP Tagging Standard Ver1.0 발표

☞ Soft IP의 설계와 개발 과정에서의 트래킹 방법에 대한 표준

Virtual Component Identification Physical Tagging Standard Ver2.0 발표

☞ Hard IP의 설계와 개발 과정에서의 트래킹 방법에 대한 표준

* IP Infrastructure Pillar(IPI)

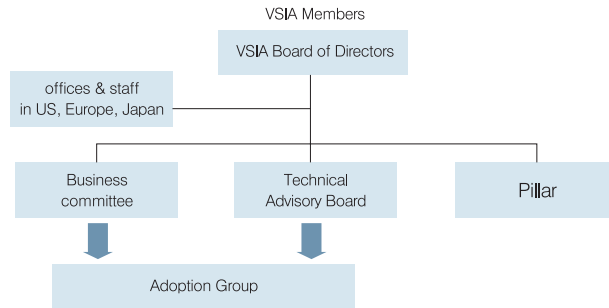
: IP 설계 절차에서 전달까지 전반적인 flow 상의 필요한 모든 문서 제공하고 있다.

* Research&Development Pillar

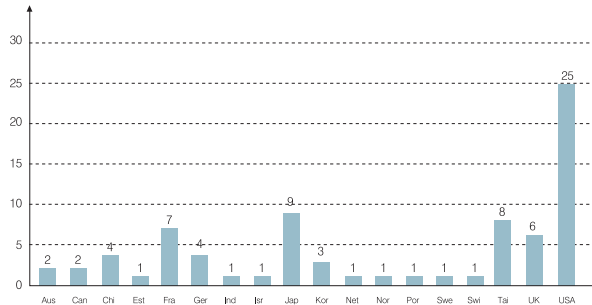
: R&D Pillar는 향후 3~5년 내의 주요 Topic에 대해 중점을 두어 연구하고 있으며, analog signal integrity, verification of implementation, platform base design에 대한 연구를 하는 working group들이 포함된다.

〈표 6〉 Development Working Group List (2005년 6월 이전)

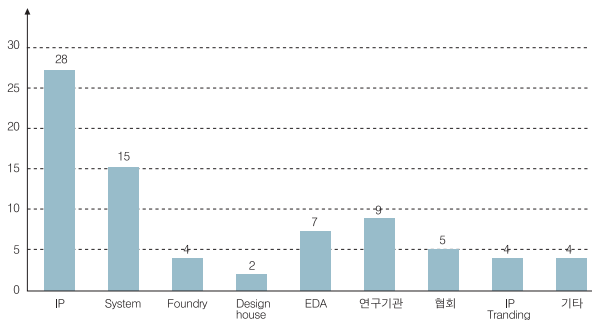
Functional Verification DW	On-Chip Buses DWG
Hardware-dependent Software DWG	Platform Based Design DWG
Implementation DWG	System Level Design DWG (Inactive)
IP Protection DWG	Virtual Component Quality DWG
Manufacturing Related Test DWG (Inactive)	Virtual Component Transfer DWG



(그림 10) VSIA 구성(2005년 6월 이후)



(그림 11) 회원의 국가별 분류 (18국가, 78개 기관)



(그림 12) 회원의 기관 성격별 분류, 개인 등록자: 36명 (2004년 5월 현재)

- VSIA에서 발표한 표준과 기준 문서(Documents of Standard and Specification): 2005년까지 DWG 활동의 결과로 발표된 표준과 기준 문서에 대해서 정리하였다.

Virtual Component Transfer

VCT DWG는 다양한 VC들에 대한 선택과 Documentation 작업, 그리고 다른 DWG에 포함되지 않는 VC Transfer 관련 필요사항들을 연구한다.

- Function, performance, data width 등 사용자들이 VC 선택에 필요한 정보
- Data sheet, Features, benefits, configuration 등 VC 평가에 필요한 정보
- Test bench, users experience, application 등의 Qualification에 대한 정보
- Tool의 version 정보, libraries, interface specs 등의 참고 정보
- Guideline, constraints, hints, precaution 등 Integration 정보
- Application에 대한 주의사항, 사용 가능성, interfacing을 위한 주의 사항 등
- Support 가능성, 연락 가능한 기술지원부 등
- VC의 data package를 사용자에게 전달하기 위한 전달 format

① Documents

- Virtual Component Transfer Specification ver 2.1
- : VC를 사용자에게 기술 이전할 때 설계 자료와 함께 전달해야 하는 자료에 대한 사양서이다.
- Virtual Component Attributes(VCA) with Formats for Profiling, Selection and Transfer Standard ver 2

② Other Documents

- A Checklist for summarizing the fit between the technology and the details of the design requirements. (January 3, 2001) / Requirements Checklist (January 3, 2001)
- : VC 설계시 필요사항에 대한 Checklist이며 63개의 항목이 있다.
- VCT 3 Design Requirements 1.0 (January 3, 2001/December 30, 2000)
- : VC의 Packaging scheme, Transfer 방법에 대한 필요사항을 기술하였다.
- Request for Technology - VC Packaging (Data Organization) and Transfer Schemes (January 3, 2001)
- : System Chip design에서 VC 전달물 중 필수 항목에 대한 간단한 요약. 중복되거나 불필요한 항목 제거를 목적으로 한다.
- VC Transfer DWG Proposal / VCT DWG Overview
- : VCT의 background, vision, activities와 전반적인 Roadmap에 대한 안내

Virtual Component Quality

VC Quality DWG는 SoC에 있어 적합한 기능 구현과 Virtual Component의 효율적인 재사용을 위해 반드시 필요한 항목들에 대해 규정하고 있다. VSIA Quality Metric을 만들어 산업체에 널리 채용시킴으로써 산업체에

적합한 표준안을 만들고 있다. 그리고 Hard IP Sub-working group이 Hard IP에 대한 QIP를 검토, 수정 작업을 수행하고 있다.

① VSIA Quality Checklist

다음 4가지의 측면과 부가적인 Potential risk에 대하여 VC Quality 정도를 체크하도록 하였다.

- VC Authoring Process
- VC Verification
- VC Maturity
- VC Provider Capability

② IP Quality Metric ver 1.11 (QIP) - released

OpenMORE IP Rating Spreadsheet의 구조와 유사하지만 더 확장된 카테고리 and 실질적인 IP Quality Metric을 제공하여, IP 제공자들은 자신의 IP의 Quality를 평가할 수 있으며 IP 구매자들에게는 여러 VC들을 비교하여 평가할 수 있도록 하였다. VC Category 분류와 Quality Score 분포는 아래와 같다.

* VC Category

- Digital Soft IP
- Digital Hard IP
- Digital Verification IP
- Software IP
- Analog Hard IP

(※ Mixed-Signal VC에 대해서는 Digital Hard IP, Analog Hard IP에 포함)

On-Chip Buses

OCB DWG는 Single chip에서 설계와 통합, 다양한 기능 블록의 테스트 작업을 할 때 요구되는 On-Chip Bus의 사양에 대해 규정한다. 기능 블록의 제공자들을 위해 SoC 설계시 효과적으로 이를 재사용할 수 있도록 Bus protocol, interface 사양에 대한 정보를 제공한다. 그리고 이러한 사양서를 쉽게 사용하도록 하나 이상의 기능 블록의 평가 및 통합, 검증에 대한 다양한 정보를 제공한다.

OCB에 독립적인 IP 간의 표준 인터페이스 VCI(Virtual Component Interface)에 대해 규정함으로써 Wrapper를 사용하여 어떠한 버스와의 연결 가능하도록 하였다.

1997년 동안 5번의 Meeting을 개최하였으며 아래 정보들을 제공하였다.

- Toshiba: General Purpose Bus G-bus
- Virtual Chips:의 PCI as an On-Chip Bus
- IBM: Core and ASIC System Architecture
- Mentor Graphics: Introduction to the FISPbus Inventra Soft Cores
- VSI OCB DWG: PIBUS Standard

① Documents

- On-Chip Bus Attributes Specification ver2.0

: On-Chip Bus에 대한 전반적인 기술과 전달물 목록 그리고 기술적인 세부 내용들을 설명한다.

- Virtual Component Interface Standard ver2

: VC Interface에 대한 정의 및 특성, 주변 장치(PVCI)들에 대한 사양을 담고 있으며, Design Guideline과 설계 언어에 따른 사양을 포함한다.

② Other Documents

- Cadence의 PCI(Peripheral Component Interface) v2.1의 Overview&Methodology

- ARM의 AMBA(Advanced Microcontroller Bus Architecture)의 Overview&Introduction

- Lockheed Martin Advanced Technology Lab.의 MYA(Model Year Architecture)- The Key to design Reuse&Lower Cost (June 24, 1997)

- Hitachi Super H의 Bus Interface (July 17, 1997) Introduction

- Virtual Chips의 "PCI as an On-Chip Bus" Introduction

Platform Based Design

PBD DWG는 SoC 기반의 embedded system을 위한 platform의 표준화를 위해 생성되었다. Platform의 기본 개념에 대해 정의하고 platform 기반의 제품 설계와 platform 기반의 효율적인 IP 연결 등에 대한 구체적인 표준안을 제시한다. 현재 Phoenix의 Bob Altizer가 Chair를 맡고 있다. 2001년 12월 생성되어 2002년 10번의 Meeting을 개최하였으며 9월 Platform based design Taxonomy ver0.07을 발표하였다. Alcatel, ARM, Cadence, Mentor, STARC, Toshiba, IBM에서 Platform에 대한 정보를 발표한 자료를 포함하여, Platform에 대한 전망 등 다양한 자료를 보유하고 있다.

① Documents

- Platform Based Design Taxonomy ver 1.00

: Platform을 분류하여 정의한 문서로 2003년 4월에 발표하였다. SoC Platform을 Type에 따라 Technology-Driven (Bottom-Up) Platform, Architecture-Driven (Middle-Out) Platform, Application-Driven (Top-Down) Platform으로 분류하여 각 특징에서부터 시장성까지 다양한 분석 내용을 제공하고 있다.

IP Protection

IPP DWG는 IP 재사용이 확산되기 위해 필수적인 문제인 기술보호에 대한 정보제공을 목적으로 한다. IP 소스 코드 보호를 위해 보안강화는 필수적이지만 보안을 강화하면 유통은 어려워지는 문제가 발생한다. 이러한 문제 점들에 대한 해결책을 제시하기 위해 표준안 및 Example Tagging Program, IP Tracking Methodology, Identification and Tracking for Foundry Customer and IP Partners 등의 guideline 정보들을 제공한다.

① Document

- Virtual Component Identification Physical Tagging Standard ver1.0

- : 2000년 6월 처음 발표되어 2004년 6월 현재 ver2.0이 회원 검토 중에 있다. Foundry 업체와 IP Provider이 IP 제조 공정을 자동으로 쉽게 추적하도록 하기 위해 만들어진 표준안이다.
- IP Protection White Paper: Schemes, Alternative and discussion ver1
- : 2000년 8월 발표된 IP Protection, detection, security등에 대한 정보이다.
- Technical Measures and Best Practices for Securing Proprietary Information ver1.0
- White Paper: The Value and Management of Intellectual Asset
- : 2002년 6월 발표한 VC Protection과 관련한 여러 정보들과 그에 대한 활동을 정리한 문서이며 아래 분야들에 대한 내용을 담고 있다.
 - Protection against unauthorized use
 - Protection of the underlying design data
 - Detection of IP utilization
 - Tracking of IP use

Functional Verification

VER DWG는 SoC 내 VC가 올바르게 동작하는지 기능을 검증하기 위하여 필요한 전달물들에 대해 규정한다. 이는 독립적인 VC의 기능검증, VC 사이의 interface 및 SoC 자체에 대한 기능검증을 포함한다. ARM, Fujitsu, Qualis Design Corporation, STMicroelectronics 등의 업체에서 제공하는 Function Verification에 대한 자료들을 보유하고 있다.

전달물들은 아래 세 가지 관점에서 개발된다.

Phase 1 : Hard VC Physical Models, Structural Netlist

Phase 2 : RTL Source, Performance Models, Design constraints

Phase 3 : Functional Models, Firm VCs

① Document

- Specification for VC/SoC Functional Verification ver 1.0
- : 2004년 3월 발표한 VC, SoC를 검증하기 위한 전달물들에 대한 문서이다. VC 검증을 위한 전달물 뿐만 아니라 SoC 시 VC 재검증에 대해서도 나타내고 있으며, Testbench Coding Guideline을 포함한다.
- Taxonomy of functional Verification for Virtual Component Development and Integration Standard ver 1.2
- : 2001년 1월에 발표하였으며 각 검증 type에 따른 주요 기술 및 검증 Tool에 대해 다음 4가지의 주요 카테고리로 분류하여 자세히 설명하였다.
 - Intent Verification
 - Equivalence Verification
 - VC Verification

· Integration Verification

Implementation

IMP DWG는 IP 기반의 시스템구현이 가능하기 위한 데이터 표현의 표준을 정의한다. 공정기술에 관계없이 System-Level design(SLD) DWG와 관련된 구현 문제를 다루므로 매우 넓은 범위를 포함한다. 과거 활동했던 Analog Mixed Signal DWG과 Implementation Verification DWG 자료를 보유하고 있다. Analog Mixed Signal DWG는 1996년부터 1999년까지 활동하였으며 Analog Mixed-Signal Integrity VSI Extension Specification ver1.0과 Analog Mixed-Signal VSI Extension Specification ver2.2를 발표하였다. Implementation Verification DWG는 1997년부터 1998년까지 활동하였는데 Implementation은 이 당시 I/V DWG의 sub-working group으로 활동하였다. 구조적인 Netlist와 Hard VC Physical Data Types에 대한 연구 활동을 하였으며 Hard VC Physical Data Types White Paper ver0.2와 Soft and Hard VC Structural, Performance and Physical Modeling Specification ver2.1을 발표하였다.

① Document

- Signal Integrity Specification ver2.0

: 2004년 1월 Signal Integrity sub-DWG에서 발표한 문서로 Interconnect Crosstalk, Signal Electromigration, Supply and Ground Grid Noise, Substrate Noise and Coupling문제와 이를 해결하기 위해 Design Guideline으로 구성되어 있다.

Hardware-dependent Software

HdS DWG는 SoC의 Hardware platform에서 제공되는 interface와 직접 상호 작용하게 되는 Software layer에 대해 다루고 있다. HdS API를 규정함으로써 업체 내외부의 IP의 재사용을 개선하고자 한다. Interface는 application에 의존적이므로 API는 application에 따라 달라야하고, 모든 관련 있는 단계(design, verification, debug, production)에 적용될 수 있다.

① Document

- Hardware dependent Software Taxonomy ver1.0

: SoC-IP Provider, System integrator, EDA Provider, OS Provider를 위해 HdS API를 HW layer, communication layer, application layer 등 다양한 관점으로 분류하였다.

- HdS-API Definition Document ver0.1 _draft Specification

: SoC-HDS 구조와, HDS framework, API mechanism, HDS API 요구사항들에 대해 정리한 문서이다.

System Level Design

현재는 활동하지 않지만 System을 설계하기 위해 전체 architecture를 결정하고 IP 간의 적절한 interface를 설계함으로써 용이한 IP 재사용을 목적으로 활동하였다. 1997년부터 2001년 까지 활동하였으며 Architectural Language Requirement and semantics, C++ hardware description, Contributions to System Level IP Exchange, verification reuse, Automatic Communication Structure Generation 등에 대한 자료를 보유하고

고 있다.

① Document

- System-Level Interface Behavioral Documentation Standard ver1

: 2000년 3월에 발표한 VC interface 계층에 대한 자료로 다음의 내용들에 대해 다루고 있다.

- System-Level Interface Description와 그에 대한 Struture
- Deliverables(필수적인 Interface Layer)
- Internal VC Behavioral Description
- Interface Structure/ Behavioral Description / Association

- VSIA System Level Design Model Taxonomy Document ver2.1

: 2001년 7월에 발표한 시스템기반의 Modeling에 대해 분류한 문서로 Functional, Behavioral, Structural, Interface, Performance, Mixed-Level, Dataflow Graph model등으로 분류하여 설명하였다.

그리고 Architecture Model, Hardware Model, Implementation-Level Performance Model, Software 모델에 대해 그 세부 모델들을 자세히 분류하고 서술하였다.

Manufacturing Related Test

현재는 활동하지 않지만 SoC/VC의 테스트 구조 및 방법에 대해 표준안 및 설계 Guideline을 제공하는 것을 목표로 활동하였다. 1997~1999년에 활동하였으며 DFT rule과 테스트 구조와 테스트 재사용을 위한 연구를 진행하여 Perspective on Physical Test of VSI System Chips, Test Control에 대한 자료 및 관련 표준안, 사양서를 발표하였다.

① Document

- Test Data Interchange Formats and Guidelines for VC Providers Specification ver 1.1

: 2001년 1월 발표한 VC의 테스트를 위해 필요한 전달물의 Spec.과 DFT(Design-For-Test)를 위한 Guideline에 대한 내용을 담고 있다.

- Test Access Architecture Standard ver 1

: 2000년 5월 발표한 VC 테스트 접근 구조에 대해 정의한 표준안으로 VC 테스트를 위한 전반적인 요구사항, Wrapper, BIST 등에 대해 폭넓게 다루고 있다.

2.5. 표준화 대상항목별 현황 분석표

구분		IP 유통 표준	IP 설계 기술	IP 검증 및 테스트 기술
표준화 대상항목		<ul style="list-style-type: none"> - IP 전달물 - IP 품질평가 표준 - IP 보호 표준 - IP Numbering 표준 	<ul style="list-style-type: none"> - HDL Coding 방법 - IP Interface - AMS IP 설계 - Platform 기반 설계 	- IP Test/Verification 기술
시장 현황 및 전망	국내	유통기관의 중개를 통한 체계적 IP 유통에 의한 시장 활성화가 예상됨	전문 IP 설계 시장 등장	이슈화되어 있으나 시장 형성은 미비
	국외	일부 IP 전문 업체의 IP 유통 활발함	전문 IP 설계 시장 등장	테스트 전문 기술 시장 등장
기술 개발 현황 및 전망	국내	<ul style="list-style-type: none"> - IP 전달물, 품질평가 표준 등 초안 개발 - IP Numbering 표준 개발 중 	<ul style="list-style-type: none"> - HDL Coding 방법 연구 - 특정 응용 분야의 Platform 개발 진행 중 - AMS IP 관련 전달물, 테스트, 레이아웃 기술 연구 중 	<ul style="list-style-type: none"> - 인터넷을 통한 IP 검증 방법 개발 중 - 효율적인 테스트를 위한 전달물 및 설계 고려 사항 연구 중
	국외	<ul style="list-style-type: none"> - IP 전달물, 품질평가 표준 개발 - IP 보호 표준 관련 기술 연구 진행 중 	<ul style="list-style-type: none"> - IP Interface 및 Platform 기반 설계 방법론 연구 진행 중 - AMS IP 설계에 대한 표준을 진행하였으나, 표준 진행을 보류 중 	- VSIA 및 IEEE에서 연구 그룹 구성 및 표준화추진 중
기술 개발 수준	국내	초기 단계	HDL Coding 방법 기술 성숙 AMS IP 설계 기술개발 진행 중	초기 단계
	국외	전달물, 품질 평가 등 기술 성숙 보호, numbering 초기 단계	HDL Coding 방법 기술 성숙	기술 성숙
	기술격차	1년	2년	2년
	관련제품	해당사항 없음	해당사항 없음	해당사항 없음
IPR 보유현황	국내	해당사항 없음	해당사항 없음	해당사항 없음
	국외	해당사항 없음	해당사항 없음	해당사항 없음
IPR확보 가능분야		IP 보호 및 IP Numbering 표준에 있어서 IPR 확보 가능성 매우 높음	Platform 기반 설계를 위한 표준 Platform 개발 시 IPR 확보 가능성 있음	해당사항 없음
표준화현황 및 전망		IP의 유통에 있어서, 장기적으로 기술적/법적 보호가 반드시 필요함	IP Interface, Platform 기반 설계 표준이 TTM 만족 및 IP 유통 활성화를 촉진시킴	IP 신뢰성 확보를 위해 효율적인 test방법이 필요하나, 표준으로서 가치 부여는 미지수임
표준화 기구/ 단체	국내	TTA	TTA	TTA
	국외	VSIA	VSIA	VSIA
	국내 참여 업체 및 기관현황	삼성, KETI	삼성, KETI	삼성, KETI
표준화추진형태		사실표준화(컨소시엄 표준)	사실표준화(포럼표준)	사실표준화(포럼표준)
표준화 수준	국내	<ul style="list-style-type: none"> - IP 전달물, 품질평가 표준은 부분 수용하고 있으며, 국내 실정에 맞는 표준으로 수정 - Numbering 표준은 아시아 국가간의 긴밀한 협력을 통한 공동개발을 추진 중 	<ul style="list-style-type: none"> - IP 전달물, 품질평가 표준은 부분 수용하고 있으며, 국내 실정에 맞는 표준으로 수정 - Numbering 표준은 아시아 국가 간의 긴밀한 협력을 통한 공동개발을 추진 중 	<ul style="list-style-type: none"> - IP 전달물, 품질평가 표준은 부분 수용하고 있으며, 국내 실정에 맞는 표준으로 수정 - Numbering 표준은 아시아 국가 간의 긴밀한 협력을 통한 공동개발을 추진 중
	국외	<ul style="list-style-type: none"> - IP 전달물, 품질평가 표준은 부분 수용하고 있으며, 국내 실정에 맞는 표준으로 수정 - Numbering 표준은 아시아 국가간의 긴밀한 협력을 통한 공동개발을 추진 중 	<ul style="list-style-type: none"> - HDL Coding 방법은 구체적인 예제 Coding 방법까지 연구 진행 - 특정 응용분야에 맞는 platform 구조 개발 중 	<ul style="list-style-type: none"> - IP 테스트를 위한 기초 기술 연구 진행 중 - 테스트를 위한 기본적인 전달물 정보 정의
국내표준화의 인프라수준 (시장요구정도 및 참여도)		높음	높음	높음

3. 중점 표준화항목의 표준화 추진전략

3.1. 중점기술의 표준화 환경분석

3.1.1. 표준화 추진상의 문제점 및 현안사항

- VSIA의 표준은 강제성을 가지지 않는 사실상의 표준(De facto standard)이나, 대부분의 기업들이 VSIA의 표준을 권고안으로 반영하고 있기 때문에 IP interface 등의 일부 표준항목을 제외하고는 국제표준으로서 인정받고 있다. 그러나, 국내 기업들은 VSIA의 표준화활동에 매우 소극적인 경향을 보이고 있어서 우리나라가 표준 경쟁에서 뒤처질 우려가 높다.
- 국내에 IP/SoC 분야의 설계방법론 등 표준화가 시도되고 있으나, 학계의 연구활동에 집중되어 있는 실정이며, 산업계에서는 국내표준화활동과 국내표준의 적용에 많이 관심을 기울이지 않는 실정이다. 따라서, 국내에서 제정된 표준이 가치를 인정받기 위해서는 산업 현장에서 실제로 사용될 수 있는 표준안을 제정하고, 기업들이 제품에 적용함으로써 표준화의 선순환적 발전을 위해서는 산·학·연의 공동된 컨소시엄 구성이 필요하다. 즉, 표준화의 중요성을 인식하고 자발적으로 참여하여 공통된 표준화사업이 실제로 진행될 수 있도록 하는 동기부여가 중요하다.

3.1.2. SWOT 분석 및 표준화 추진방향

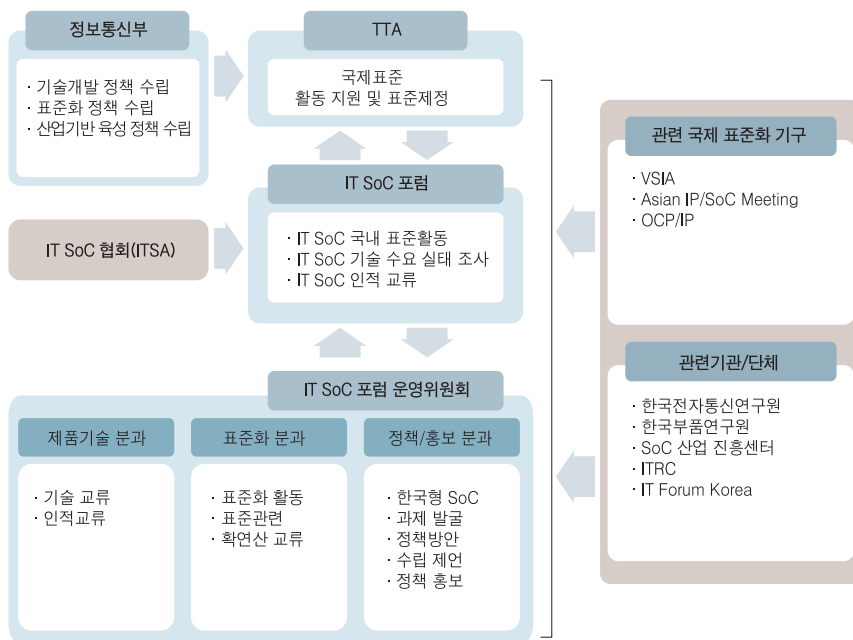
국내 역량요인			강점 요인 (S)		약점 요인 (W)	
			시장		시장	
국외 환경요인			기술		기술	
			표준		표준	
기 회 요 인 (O)	시장	- 아시아 지역이 SoC의 생산과 소비 중심으로 발전	<div> <div>현황분석에 의한 우선순위 : 1</div> <div>IP Numbering system 등 새로운 표준선도</div> <div> <div>SO전략 : 공격적 전략(강점사용-기회활용)</div> <div>ST전략 : 다각화 전략(강점사용-위협회피)</div> </div> </div>		<div> <div>현황분석에 의한 우선순위 : 2</div> <div>일본, 대만, 중국과 표준 공동 대응</div> <div> <div>WO전략 : 만회 전략(약점극복-기회활용)</div> <div>WT전략 : 방어적 전략(약점최소화-위협회피)</div> </div> </div>	
	기술	- SoC의 응용이 유리한 멀티미디어와 모바일 산업의 급성장 - 향후 유비쿼터스 사회로 IT 기술 발전				
	표준	- 유통 표준 등 국제표준선도기회				
위 협 요 인 (T)	시장	- 국내 foundry 산업 경쟁력 약화 - 거대 기업들과의 경쟁시 국내 중소 기업의 자금과 경쟁력 부족	<div> <div>현황분석에 의한 우선순위 : 3</div> <div>AMS 등 표준 미제정 분야에서 선도</div> </div>		<div> <div>현황분석에 의한 우선순위 : 4</div> <div>실질적 표준은 발 빠르게 수용/적용을 판단하여 기술 종속을 최소화</div> </div>	
	기술	- 국제표준에 대응이 취약하여 종속의 가능성 있음 - 후발국의 급성장에 따른 기술 격차 감소				
	표준	- 선진국 주도의 표준화 진행				

• 표준화 추진방향

- SO 전략 : 국내 역량의 강점과 기회를 활용하기 위해서는 IP Numbering system 등 아직 제정되어 있지 않은 분야에서 새로운 표준을 선도하여 IPR을 확보한다.
- WO 전략 : 기회를 활용하여 약점을 극복하기 위해서는 미국을 중심으로 진행되고 있는 표준화에 대응하여 일본, 대만, 중국과 표준에 공동 대응한다.
- ST 전략 : 강점을 활용하여 위협요소를 회피하기 위해서는 AMS, 테스트 등 표준 미제정 분야에서 선도적인 역할을 수행하여 국내표준의 주도권을 확보한다.
- WT 전략 : 약점을 최소화하고 위협을 회피하기 위해서는 실질적 표준은 발 빠르게 수용/적용을 판단하여 기술 종속을 최소화하는 전략을 추진한다.

3.1.3. 표준화 추진체계

- IT-SoC 관련 국내 산·학·연을 중심으로 SoC포럼를 통하여 국내표준화활동을 주도하고, IT-SoC 관련 표준전문가들로 하여금 국제표준화활동 및 국내 IT-SoC 기술 보급, 표준기술 공동 연구 등을 지원한다. 이를 통해, 개발된 국내표준(안)은 한국정보통신기술협회(TTA)에 상정하여 표준으로 제정될 수 있도록 하여야 할 것이다. 현재, TTA 산하에 IT-SoC 표준화 전담반이 조직되어 있으며, IT-SoC 관련 표준화 업무를 전담하고 있다.



(그림 13) IT SoC 표준화 추진체계

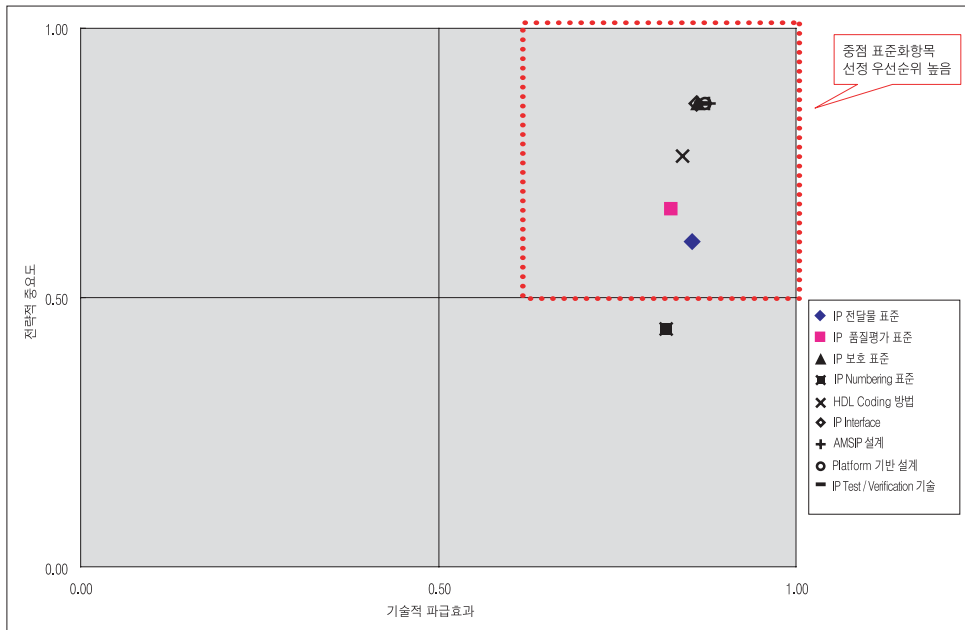
3.2. 중점 표준화항목 선정

3.2.1. 중점 표준화항목 선정방법

표준화 대상항목별 전략적 중요도 및 기술적 파급효과 분석														
고려요소	전략적 중요도									기술적 파급효과				
	P1 정부의지 (국가 산업전략 과의 연관성 등)	P2 산업체 의지 (국내 기업 산업 경쟁력 제고 등)	P3 공공성 (사용자 편리성 등)	P4 적시성	P5 시장 파급성	P6 기술적 선도 가능성 (국제경 쟁력, IPR 확보 필요 성 등)	P7 국제 표준화 이슈정도	P8 상용화 가능성 (구현 가능성 등)	PI (Priority Index)	E1 기술내 중요도 (원천성 등)	E2 타 기술에 파급효과 (연관성, 활용성 등)	E3 산업적 파급효과 (산업화 로 인한 이득, 국내 관련 산업 규모 및 성숙도 등)	E4 미래 영향력 (미래 표준 항목에의 적용/ 응용성)	EI (Effect Index)
고려요소별 가중치	0.11	0.22	0.07	0.11	0.14	0.16	0.10	0.13	-	0.26	0.31	0.39	0.18	-
샘플	4	3	4	5	2	3	5	2	0.68	3	4	2	4	0.70
IP 전달물 표준	4	4	4	4	4	2	4	5	0.78	2	2	4	2	0.61
IP 품질평가 표준	3	4	4	4	4	2	4	4	0.74	2	2	4	4	0.69
IP 보호 표준	4	4	4	4	4	4	4	3	0.80	4	4	4	4	0.91
IP Numbering 표준	4	3	3	3	3	5	3	4	0.73	2	1	1	5	0.42
HDL Coding 방법	4	4	4	3	4	2	4	5	0.76	3	3	4	4	0.80
IP Interface	4	4	4	3	4	3	4	5	0.79	4	4	4	4	0.91
AMS IP 설계	4	4	4	4	4	4	4	4	0.82	4	4	4	4	0.91
Platform 기반 설계	5	4	4	4	4	3	4	4	0.81	4	4	4	4	0.91
IP Test/ Verification 기술	4	4	4	4	4	2	5	5	0.80	4	4	4	4	0.91

* 표준화 대상항목의 각 고려요소별 평가점수는 해당 중점기술의 전문가들 의견을 종합하여 산출

* 각 고려요소별 평가점수는 1(매우 낮음), 2(낮음), 3(보통), 4(높음), 5(매우 높음)의 5점 척도



- 전략적 중요도(P) 및 기술적 파급효과(E)의 요소에 대해서 작성전문가, 검토전문가 및 SoC 분야의 전문가 8인의 설문조사 결과를 반영하였다.
- 1사분면 표준화항목을 중점 표준화항목으로 선정하였다.
- IP numbering은 1사분면에 위치하지는 않지만 국제표준 선도 가능성이 높으므로 중점 표준화 대상으로 선정하였다.

3.2.2. 중점 표준화항목 선정사유

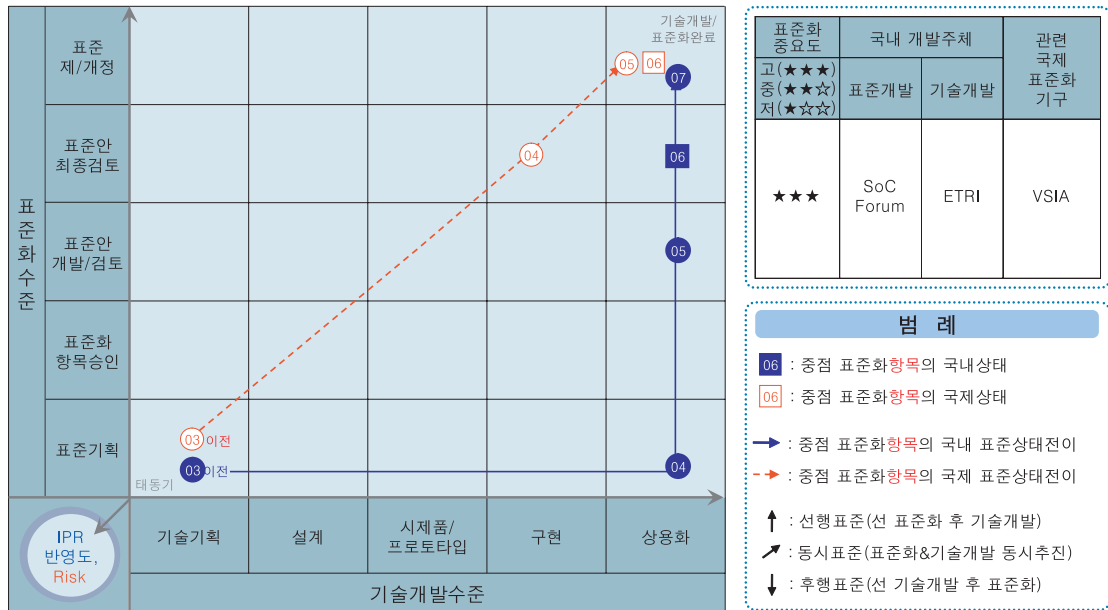
- IT-SoC와 관련된 요소기술은 재사용을 목적으로 하는 IP 개발 기술, IP를 재사용하는 IT-SoC 설계 기술과, IP 공급자와 IT-SoC 설계자들 사이에 IP를 유통하기 위한 유통 표준화와 인프라 구축 기술, 그리고 IP의 검증과 테스트 기술이라 하겠다. 따라서, IT-SoC 분야에서 선택 집중하여야 할 요소기술로는 IP 유통 표준, IP 설계 기술, IP 검증 및 테스트 표준이 있다.
- 국제적으로 우리나라가 표준화를 주도하고 있거나, 주도할 잠재력을 가지고 있는 분야, 기술개발시 국내외적으로 시장경쟁력을 확보할 수 있는 분야를 중심으로 중점 표준화항목을 도출한다.

요소기술	중점 표준화항목	요소기술 도출 이유
IP 유통 표준	IP 전달물 표준	IP 공급자와 IP 사용자 간의 거래시에 필수적으로 전달하여야 할 항목을 정의하는 표준으로서, IP 재사용 설계 방법을 위해서는 반드시 있어야 하는 매우 중요한 표준 분야임
	IP 품질평가 표준	IP 사용자가 IP 구매전 IP의 품질에 대한 정보를 제공하기 위한 항목을 정의하는 것으로서 IP 유통을 위해서는 반드시 있어야 하는 매우 중요한 표준 분야임
	IP 보호 표준	IP 거래시에 IP의 불법 사용으로부터 IP 공급자를 보호하기 위한 표준으로서, 법적인 IP 보호, 기술적 IP 보호 방법이 연구되고 있음. IP 유통과 IP 재사용 설계 방법을 위해서는 매우 중요한 표준임
	IP Numbering 표준	IP를 개발자, IP category, IP의 기능 등에 따라서 체계적인 번호를 부여하기 위한 표준으로서, IP 유통, IP 보호방법과 연계하여 사용될 수 있는 기술로써 국제표준화를 선도할 수 있는 분야임
	IP Numbering 표준	IP를 개발자, IP category, IP의 기능 등에 따라서 체계적인 번호를 부여하기 위한 표준으로서, IP 유통, IP 보호방법과 연계하여 사용될 수 있는 기술로써 국제표준화를 선도할 수 있는 분야임
IP 설계 기술	HDL Coding 방법	하드웨어 기술 코드를 작성하는 방법에 대한 표준을 제시하여 사용자가 코드에 대한 가독성을 통일하고, IP 개발자와 사용자의 설계 EDA tool이 다른 경우에도 동일한 기능의 논리합성결과가 얻어지도록 하기 위한 HDL을 이용한 논리 회로의 기술 방법의 표준
	IP Interface	서로다른 개발자에 의하여 공급되는 IP들을 이용하여 SoC를 설계할 때, IP들 간의 상호 interface를 위한 표준으로서 IP 전달물 표준과 함께 IP 개발과 IP 유통 및 재사용시에 매우 중요함
	AMS IP 설계	아날로그 혼성 모드 IP의 경우에 대한 재사용 측면의 설계 기술
	Platform 기반 설계	IP와 아울러 시스템의 architecture를 재사용하기 위한 설계방법이 Platform 기반 설계 방법인데, Platform 구성의 기본 요소와 구성된 Platform을 기초로 한 SoC 설계 기술을 표준화하는 기술로서 현재 SoC 설계 분야에서 가장 중요한 이슈가 되고 있음
IP 검증 및 테스트	IP Test/ Verification 기술	IP 개발자가 내장될 IP의 개별적인 검증 및 테스트 기술과 IP 사용자가 SoC에 내장된 IP를 개별적으로 검증/테스트하기 위하여 필요한 기술로서, IP 기반 설계 방식에서 가장 중요한 기술임

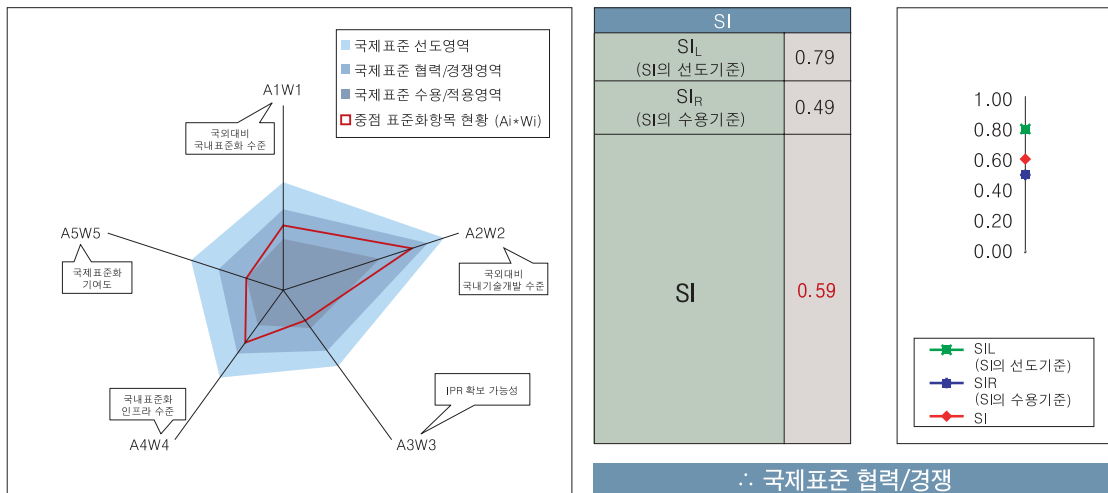
3.3. 중점 표준화항목별 세부전략(안)

3.3.1. IP 전달물 표준, IP 품질평가 표준, HDL Coding 방법

- 표준상태전이도 (표준화&기술개발 연계분석)



- 국제표준화 전략목표 도출

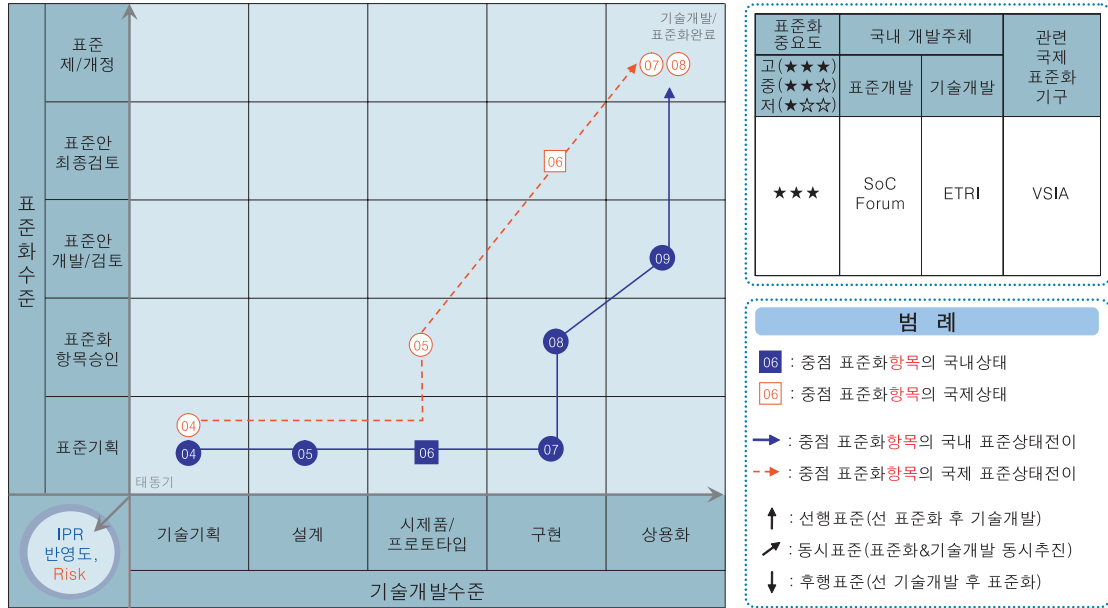


- 세부전략(안)

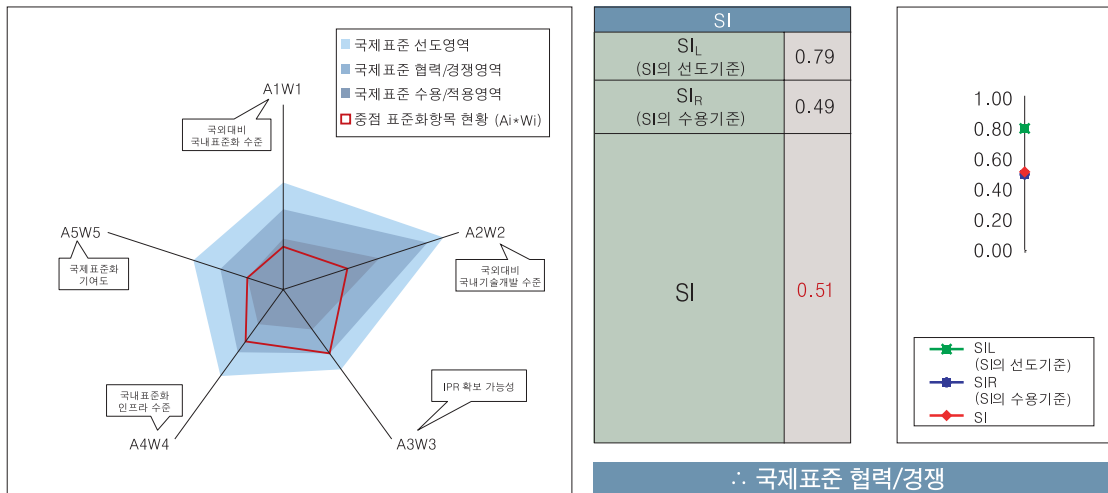
- 국내 산업의 실정에 맞도록 자체 표준안 개발과 아울러 VSIA 등 국제표준의 발 빠른 수용이 필요하다.
- 국내 기술개발수준(A2W2)은 국제 상위 수준에 근접하여 있으나, 표준화에 대한 관심 부족으로 표준화는 상대적으로 늦은 상태이다. 표준화 개발과 아울러 산업계와 연구소 등에 국내표준의 활용도를 높이기 위한 홍보 강화가 필요하다.
- 국제적인 IPR 확보는 어렵다. 국내의 표준개발과 국제표준의 발빠른 수용으로 표준 종속을 최소화 하여야 한다.
- SIPAC 사업이 종료된 이후에 국내에서 VSIA에 대해서 활동이 매우 미흡하다. VSIA의 표준화활동에 참여가 요망된다.

3.3.2. IP 보호 표준

- 표준상태전이도(표준화&기술개발 연계분석)



- 국제표준화 전략목표 도출

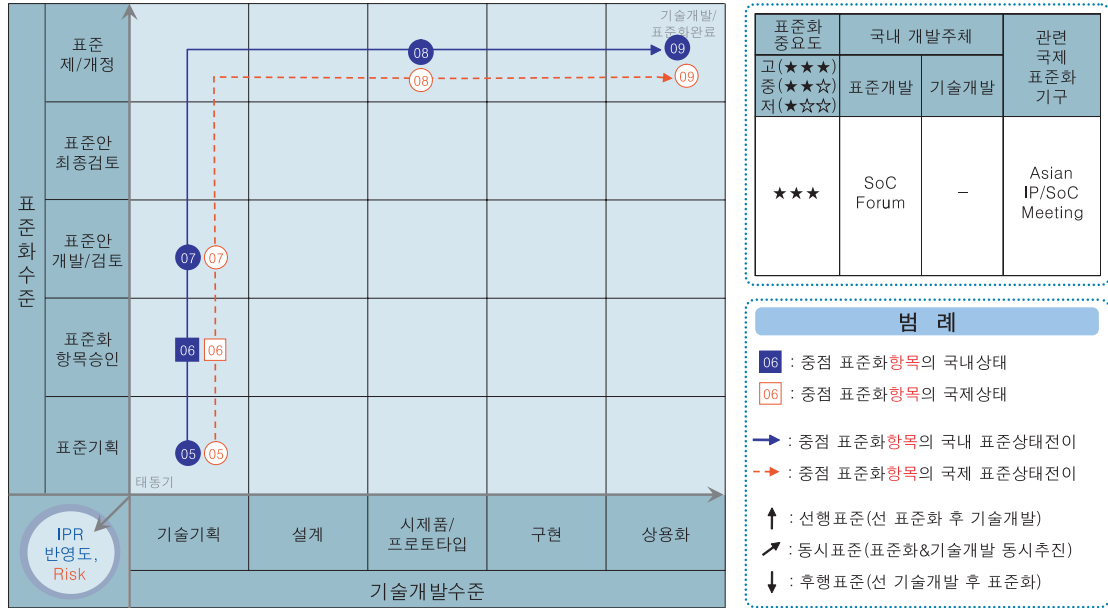


- 세부전략(안)

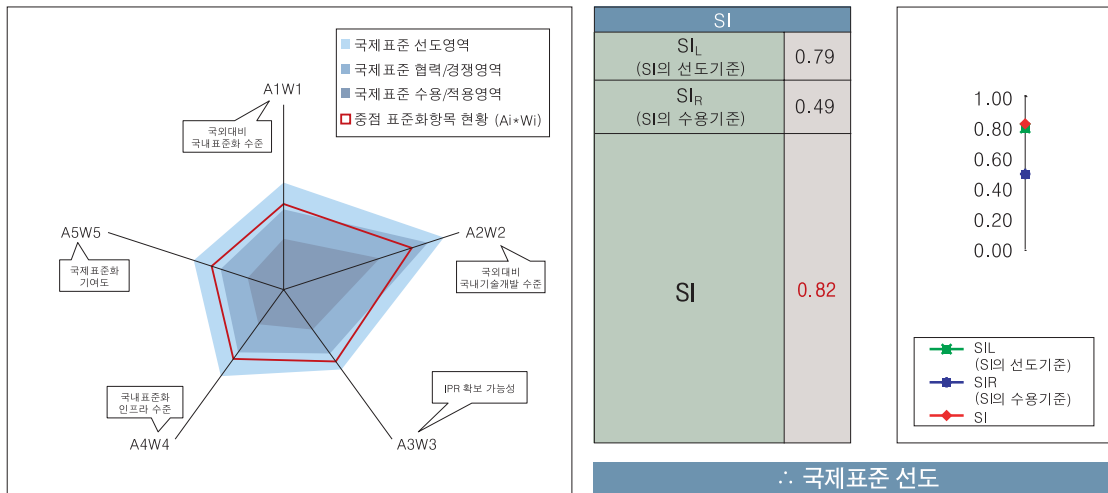
- 국외대비 국내표준화수준과 기술 수준이 낮다. 국제표준의 수용과 국내표준의 개발을 병행해야겠다.
- 국제적인 IPR의 확보는 어렵다. 국제표준의 수용과 국내 기술의 개발을 통한 대처로 표준 종속을 최소화해야겠다.
- IP 보호 기술의 중요성을 고려하면, 표준의 종속을 최소화하기 위해서 국제표준화 진행에 대한 관심과 참여가 요청된다.
- SIPAC 사업이 종료된 이후에 국내에서 VSIA의 IP protection 표준에 대한 관심과 활동참여가 매우 미흡하다. VSIA의 표준화활동에 대한 관심과 참여가 요망된다.

3.3.3. IP numbering

- 표준상태전이도(표준화&기술개발 연계분석)



- 국제표준화 전략목표 도출

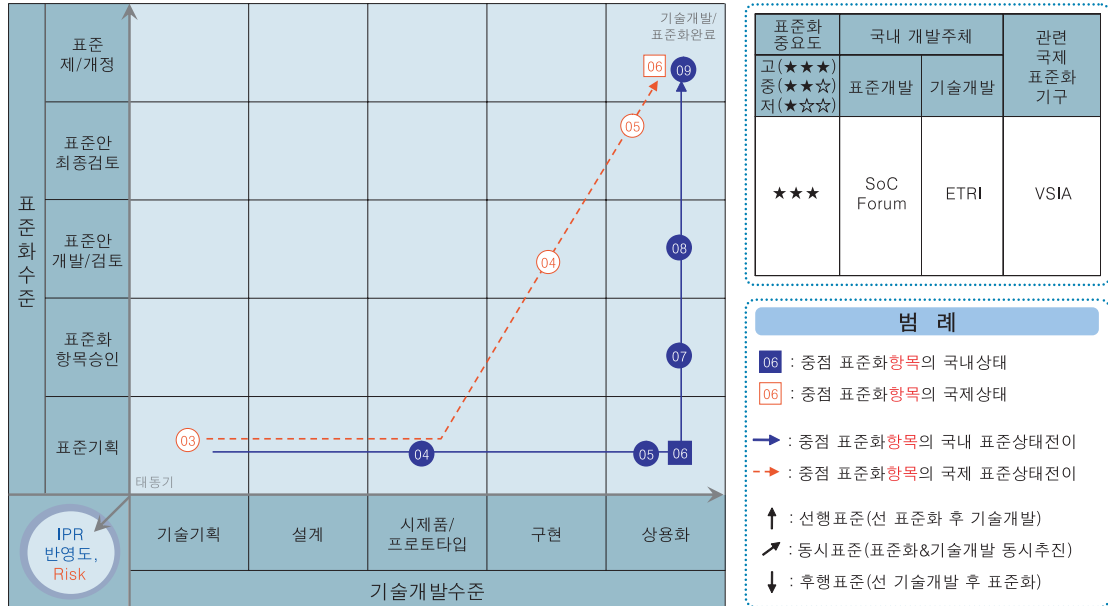


- 세부전략(안)

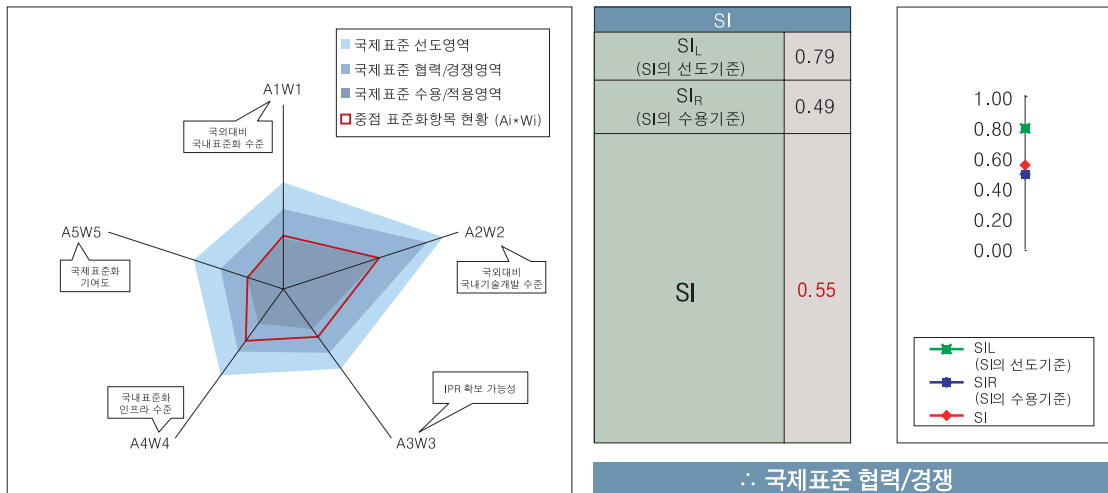
- 국제적으로 기술개발 및 표준화가 진행되고 있지 않으므로 국내에서 먼저 표준을 제정하여 국제표준을 선도하도록 노력하여야 한다.
- 국내에서 IP numbering 표준을 선제정하고 이 표준이 Asian IP/SoC 미팅을 통하여 아시아 국가의 국제표준이 되도록 노력하며, 현재 Asian IP/SoC 미팅에는 한국을 비롯하여 일본, 대만, 홍콩이 회원국이고 중국은 올해 말 회원국이 될 예정이다. Asian IP/SoC 미팅에서 한국의 IP numbering 표준을 수용하는 것에 대해서 2006. 11월 회의에서 결정하기로 되어 있다.
- 국내 산 · 학 · 연에 IP Numbering 표준에 대한 관심도를 높이는 것이 중요하다.

3.3.4. IP Interface, Platform 기반 설계, IP Test/Verification 기술

- 표준상태전이도(표준화&기술개발 연계분석)



- 국제표준화 전략목표 도출

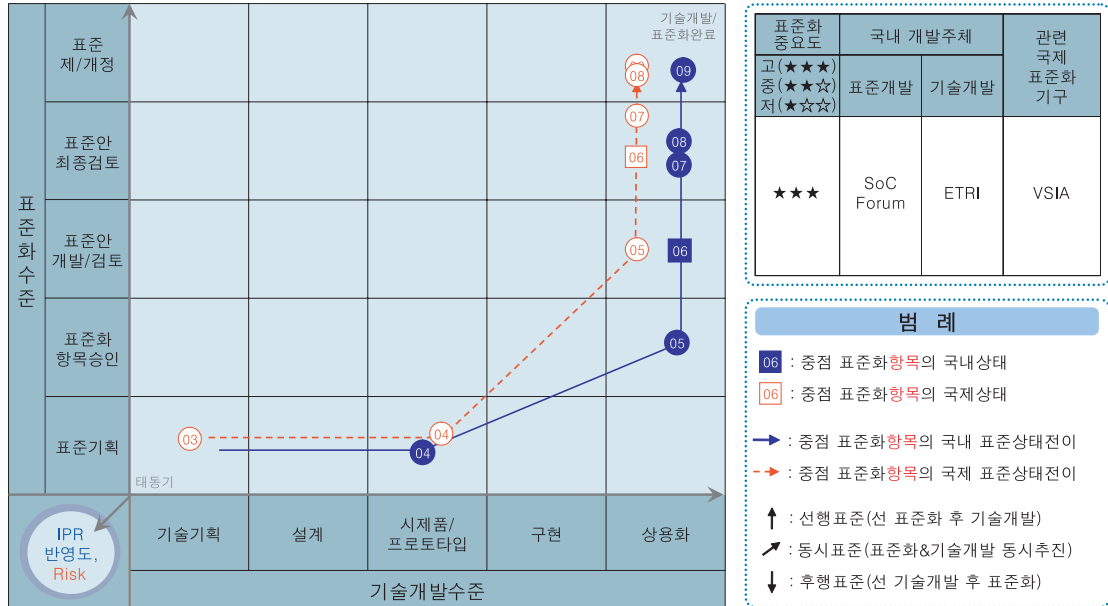


- 세부전략(안)

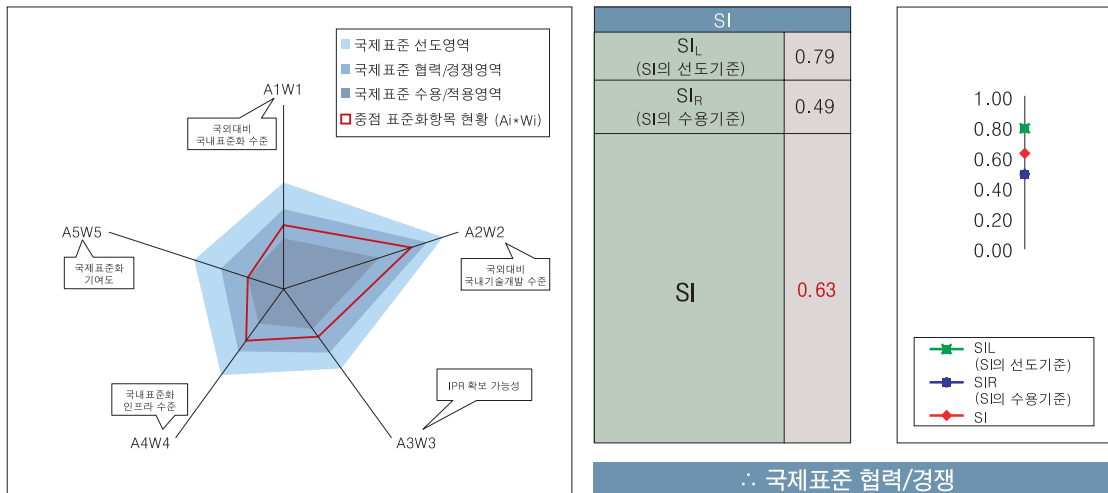
- 국제표준의 발빠른 수용과 아울러 국내표준의 개발을 병행해야겠다.
- 국제적인 IPR의 확보는 어렵다. 국제표준의 수용과 국내 기술의 개발을 통한 대처로 표준 종속을 최소화해야겠다.
- SIPAC 사업이 종료된 이후에 국내에서 VSIA의 IP protection 표준에 대한 관심과 활동참여가 매우 미흡하다. VSIA의 표준화활동에 대한 관심과 참여가 요망된다.

3.3.5. AMS IP 설계

- 표준상태전이도(표준화&기술개발 연계분석)



- 국제표준화 전략목표 도출

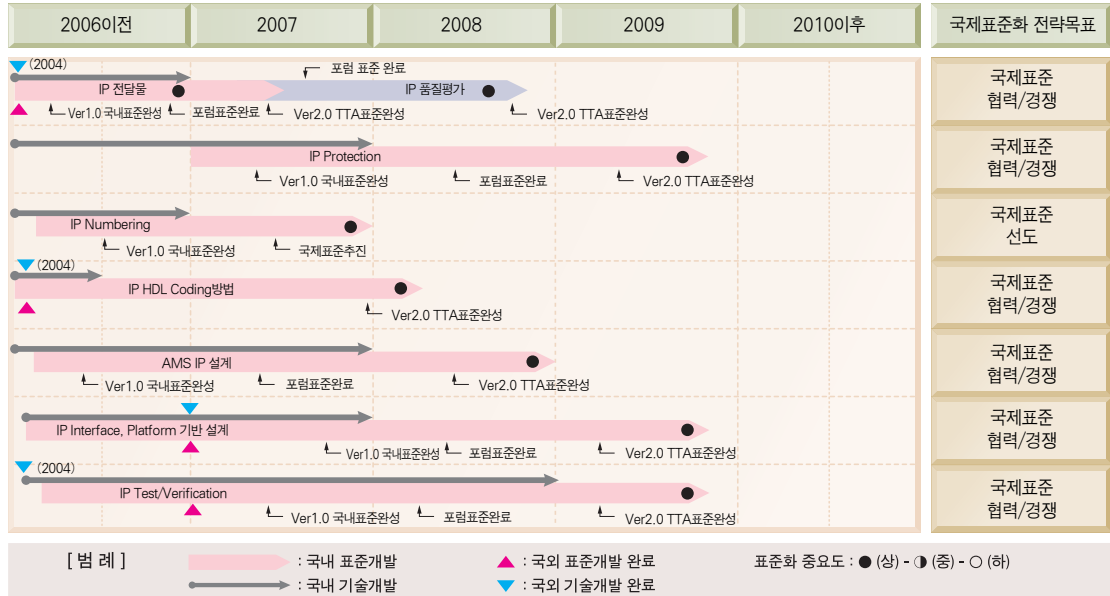


- 세부전략(안)

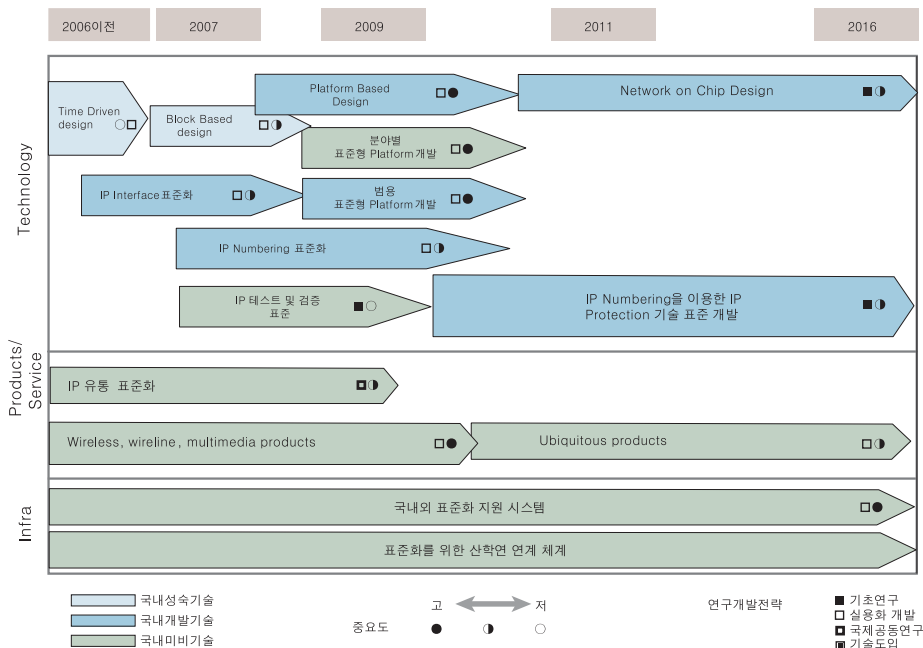
- 국제적으로 기술개발과 표준화가 진행되고 있으나, 아직 초기 단계이므로 국내에서도 국제표준의 수용과 아울러 자체적인 기술개발과 표준화를 병행해야겠다.
- 국내 기술개발 수준[A2W2]은 상대적으로 높은 편이나 산·학·연의 표준화에 대한 활동은 약하다. AMS IP 표준화의 중요성을 홍보하여 관심과 참여를 유도하는 것이 필요하다.
- VSIA의 AMS IP 표준화활동에 참여하여 국제표준화활동에 기여하는 것이 요망된다.
- 국내에서 개발된 기술과 표준이 국제표준으로 채택되도록 노력하여야 한다.

3.4. 중장기 표준화로드맵

3.4.1. 중기(2007~2009) 표준화로드맵



3.4.2. 장기 표준화로드맵(10년 기술 예측)



- IT-SoC 관련된 로드맵/기본계획 : 반도체 소자/공정/설계에 관련된 기술에 관해서는 ITRS(International Technology Roadmap for Semiconductors) 컨소시엄에서 반도체 관련 기술 roadmap을 1997년부터 작성해서 발표하고 있다. 국내에서는 반도체 산업협회와 협회참여사가 ITRS 로드맵 작성에 참여하고 있다. ITRS는 기술 중심의 Roadmap이며, 표준화에 대해서는 취급하지 않고 있다.

[국내외 관련 표준 대응리스트]

요소기술	표준명	기구(업체)	제정연도	재개정현황	국내 관련표준	국내 추진기구
IP 유통 표준	IP 전달물 표준	VSIA	2001	제정/개정	IP 전달물 표준	SoC Forum
	IP 품질평가 표준	VSIA	-	-	IP 품질평가 표준	SoC Forum
	IP 보호 표준	VSIA	2000	초안	-	-
	IP Numbering 표준	-	-	-	-	IT SoC 협회
IP 설계 기술	HDL Coding 방법	VSIA	-	-	HDL Coding 방법	SoC Forum
	IP Interface	VSIA	2000	제정/개정	-	-
	AMS IP 설계	VSIA	-	-	AMS IP 설계	SoC Forum
	Platform 기반 설계	VSIA	-	-	-	ETRI
IP 검증 및 테스트	IP Test/Verification 표준	VSIA	2001	제정/개정	IP Test/Verification 표준	SoC Forum

[참고문헌]

- [1] IT SoC 산업 동향 2004, IT-SoC 협회
- [2] www.vsia.org
- [3] www.starc.or.jp
- [4] VSIA의 IP 표준 분석집, 전자통신연구원, 2001. 12.
- [5] TTA Journal, 2005. 8.
- [6] IT839 전략 기획보고서(5, IT-SoC), 정보통신연구진흥원, 2004. 6.
- [7] IT839전략 표준화 로드맵 종합보고서, ver.2005, p300-327, 한국정보통신기술협회, 2004. 12.
- [8] Surviving the SOC Revolution, Henry Chang 외 5인, Kluwer Academic Publishers, 1999.
- [9] HDL을 이용한 SoC 및 IP 설계 기법, 강성호외 3인, 홍릉과학출판사, 2004. 4.
- [10] ITRS(International Technology Roadmap for Semiconductors, <http://www.itrs.net>

[약어]

AMS	Analog Mixed Signal
HDL	Hardware Description Language
IP	Intellectual Property
SIPAC	System Integration and IP Authoring Center
SoC	System on Chip
TTM	Time to Market
VSIA	Virtual Socket Interface Alliance

1. 본 분석자료는 정보통신부의 국책사업인 “정보통신표준화 계획 수립 및 대응전략 연구”의 일환으로 발간된 자료입니다.
2. 본 분석자료의 무단 복제를 금하며, 내용을 인용할 시에는 반드시 정보통신부 정보통신 연구개발사업의 연구결과임을 밝혀야 합니다.
 - 총괄책임자 : 진병문 (TTA 표준화본부장)
 - 사업책임자 : 손 홍 (TTA 전략기획팀장)
 - 전략기획팀 : 장종표, 진수경, 전철기, 박정환, 전덕중, 박종봉, 강부미

IT839 전략 표준화로드맵 Ver.2007 종합보고서7

2006년도 12월 26일 인쇄
2006년도 12월 30일 발행

발 행 소 : 한국정보통신기술협회
발 행 인 : 김 홍 구
발 간 번 호 : TTA-06089-SA
인 쇄 인 : 다강 (02-3461-5789)



한국정보통신기술협회
Telecommunications Technology Association

463-824, 경기도 성남시 분당구 서현동 267-2
Tel : 031-724-0062, Fax : 031-724-0109
<http://www.tta.or.kr>

