

지능형반도체와 표준화

여순일 지능형 반도체 프로젝트그룹(PG417) 의장, 한국전자통신연구원 ICT창의연구소 전문위원

1. 머리말

디지털 뉴딜과 관련하여 데이터 댐을 구축하고자 하는 움직임이 활발해지고 있다. 댐이 물길을 막아 많은 물을 모아 활용하는 것처럼, 데이터 댐은 많은 양의 데이터를 모아서 활용하려는 사업이다. 이처럼 많은 데이터를 처리하려면 인공지능 기술과 이에 적합한 반도체가 반드시 필요하다.

인공지능 기술과 대규모 데이터 처리에 사용되는 반도체는 일반 반도체와 다르다. 기존의 반도체는 별도의 소프트웨어를 통해 주어진 역할만 처리한다. 이처럼 별도의 소프트웨어와 저장공간을 요구하기에 기존의 반도체 기술로는 현실의 수많은 예측불가능한 데이터를 단시간에 처리하기가 어렵다. 대규모 데이터를 지능적으로 처리하려면 소프트웨어가 다양한 기능을 통합한 시스템반도체에 융합된 '지능화된' 반도체가 필요하다. 지능형반도체(인공지능반도체)는 빅데이터 처리와 연산을 신속하게, 안정적으로 해낼 수 있어 데이터 댐 사업에서처럼 대량의 데이터를 적시에 신속하게 처리할 수 있다.

지능형반도체의 필요성이 커지면서 이에 대한 표준화도 국내외의 여러 표준기구에서 추진되고 있다. 반도체 산업에서 가장 잘 알려진 표준기구인 국제반도체표준협의기구(JEDEC, Joint Electron Device Engineering Council)가 대표적이며, 전기전자기술자협회(IEEE, Institute of Electrical and Electronics Engineers)에서도 여러 반도체 섹션을 통해 활발하게 표준화 활동을 하고 있다. 국제전기기술위원회(IEC, International Electro-technical Commission), 국제표준화기구(ISO, International Organization For Standardization)와 같은 국제 표준 관련 기구와 국내의 표준 관련 기구인 한국정보통신기술협회(TTA)의 PG417(지능형반도체PG)에서도 반도체 분야 표준활동 중 일부를 수행하고 있다.

지능형반도체 분야 표준은 아직 시작 단계라 활발한 표준화 활동이 이루어지지 않고 있다. 그러나 그 중요성으로 미루어 볼 때 조만간 지능형반도체 관련 표준화 활동이 활성화될 수밖에 없을 것으로 보인다. 이미 TTA PG417(지능형반도체PG)에서는 2019년부터 지능형반도체 표준을 본격적으로 다루어 오고 있어서 PG417을 중

심으로 지능형반도체 표준을 선도할 수 있을 것으로 기대된다. 본고에서는 지능형반도체 기술과 그 표준화에 대한 간략한 소개를 통해 그 이해를 넓혀보는 기회를 가지고자 한다.

2. 지능형반도체 기술 소개

지능형반도체 기술도 반도체기술의 연장선에 있는데, 설계기술과 공정기술로 대별할 수 있다.

2.1 반도체 설계기술

반도체의 성능은 설계에서 결정된다. 따라서 설계기술이 매우 중요하다. 설계방식은 표준형과 주문형으로 구분할 수 있다. 표준형 설계방식은 표준화된 규격에 따라 설계하는 것으로 DRAM 설계에 적용되는 방식이 대표적이다. DRAM 설계는 표준 규격이 사전에 정의되어 해당 생산공정에 적합하도록 그 설계가 이루어지는데, 이는 오랜 기간 여러 세대의 DRAM이 제작되면서 표준화됐다고 볼 수 있다.

반도체 설계기술 중 주문형 설계방식은 완전주문형(Full Custom) 기술과 반주문형(Semi Custom) 기술로 나눌 수 있다. 완전주문형은 반도체 회로를 구성하는 기본 소자인 트랜지스터 수준부터 직접 설계하여 그 레이아웃(Layout)을 완성하는 설계방법이고, 반주문형은 기본 셀이 이미 레이아웃화되어 있는 설계블럭(반도체 IP(Intellectual Property), 이하 IP)을 사용하여 전체 레이아웃을 완성해 나가는 설계방법이다.

2.2 반도체 공정기술

공정기술은 크게 노광기술, 식각기술, 각종 막 성장 기술, 불순물 주입 기술, 열처리 기술 등으로 나눌 수 있다. 노광기술이란 반도체 공정을 정의하는 기본 기술로, 미리 마련된 마스크를 사

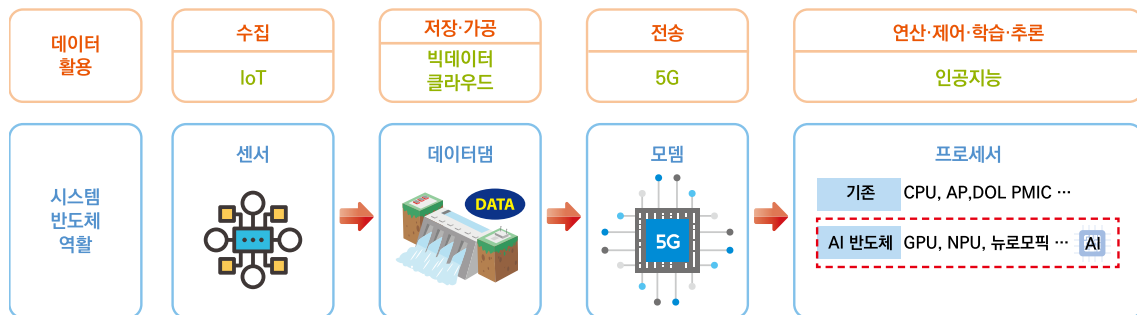
용하여 각종 패턴을 그려주는 기술을 말한다. 식각기술은 리소그래피 단계에서 그려준 각종 패턴을 바탕으로 실제 기판 모양을 갖추도록 깎아주는 기술이며, 각종 막 성장기술은 반도체를 만들 때 필요한 여러가지 막(폴리실리콘 막, 산화막, 질화막, 금속막 등)을 공정 절차에 따라 만드는 기술이다. 불순물 주입 기술은 반도체 소자로 동작할 수 있도록 적절한 불순물을 주입해주는 기술이며, 앞의 여러 공정 기술 단계에서 필요한 곳에 적당한 열을 가해주는 기술이 열처리 기술이다.

2.3 지능형반도체기술

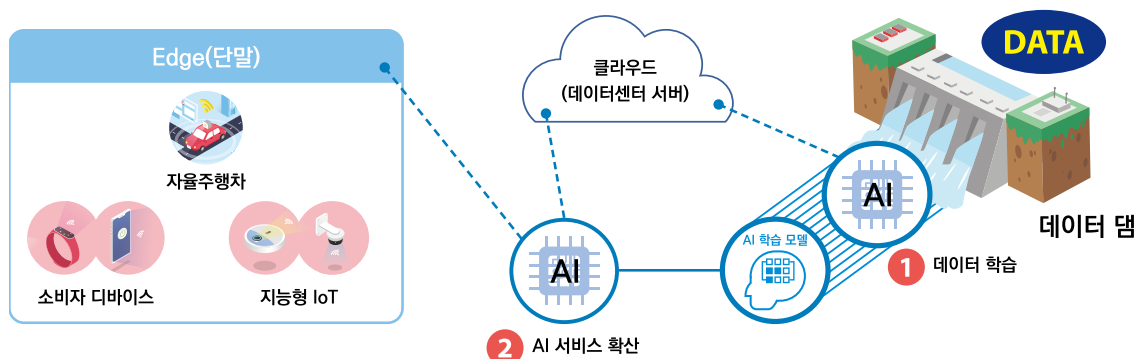
지능형반도체도 반도체의 일종인 SoC(System on Chip, 시스템반도체)의 범주에 포함할 수 있다. 다만, 데이터 댐을 비롯한 인공지능 시스템에서는 막대한 데이터를 제한된 시간에 지능적으로 처리할 수 있도록 지능형 반도체가 그 역할을 해야 하므로 지금까지의 SoC와는 다른 패러다임에서 접근해야 한다. 지능형반도체도 SoC 설계 시 요구되는 반도체IP를 사용하는 방법이 필수적으로 적용되어야 할 것이므로 이와 관련하여 다양한 방법이 등장할 것으로 예상된다.

한편, 지능형반도체 관련하여 국책사업으로 2020~2029년에 걸쳐 1조 96억 원 규모의 사업이 진행 중이며, 2020년 10월 12일 관계부처 합동으로 발표한 ‘인공지능반도체 산업 발전전략’에 인공지능의 핵심 두뇌 역할을 하는 시스템반도체로 소개되고 있기도 하다[1].

[그림 1]은 시스템 반도체의 역할을 요약해 보여준다. 붉은색으로 표시한 부분이 바로 다양한 종류의 인공지능반도체들이다. NPU(Neural Processing Unit)는 인간의 뇌 신경을 모방하여 인공지능 알고리즘 연산에 최적화된 프로세서를



[그림 1] 인공지능 데이터의 선순환 구조와 시스템반도체의 역할



[그림 2] 데이터 댐 사업 개요

의미하며, 뉴로모픽은 새로운 소자와 설계를 활용해 집적도와 전력효율을 획기적으로 향상한 프로세서를 뜻한다.

인공지능반도체는 인간의 뇌처럼 낮은 전력으로 대량의 데이터를 동시에 처리하여 기존 반도체 대비 약 1,000배의 인공지능 연산전력효율을 구현할 수 있다. 또한 인공지능반도체는 [그림 2]에서 보듯 데이터 댐으로 수집·가공된 데이터를 인공지능을 통해 학습하고 서비스로 제공하는 핵심 인프라 역할을 한다.

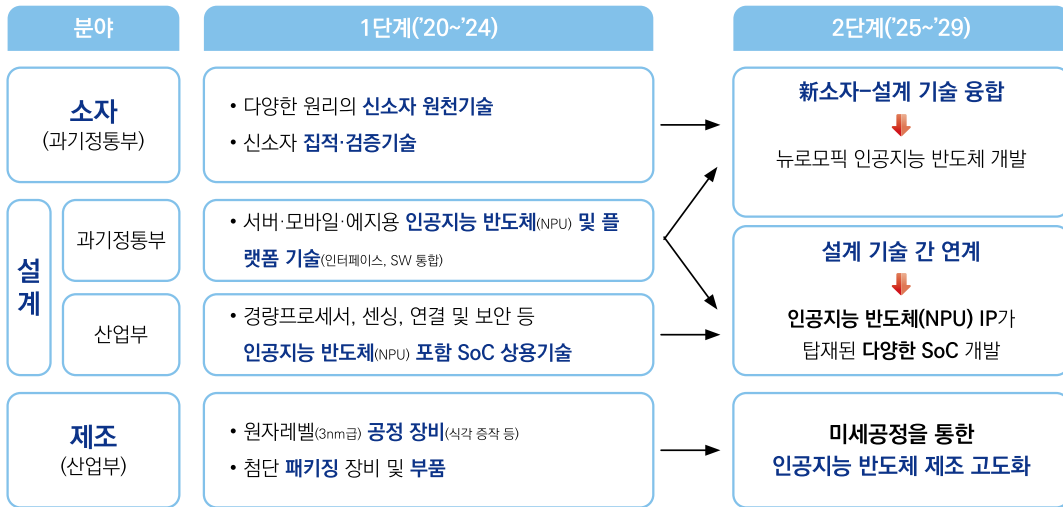
한편, 관계부처에서 2020년 10월 12일 발표한 인공지능반도체 기술개발로드맵은 [그림 3]과 같다. 과학기술정보통신부와 산업부가 협력하여 인공지능반도체를 개발한다는 계획인데, 이는 세계 1위를 달리는 DRAM 이후 우리나라 먹거

리를 창출하고자 하는 노력의 일환이다.

인공지능반도체 기술개발 로드맵은 이미 진행 중인 1조 96억 원 규모의 국책사업인 지능형반도체 개발 사업과 연계하여 인공지능반도체를 개발하는 데 목적이 있다. 이 개발로드맵에 따라 설계·소자·제조 분야별 원천기술을 개발·상용화하고 핵심기술의 연계·융합을 통해 혁신기술 및 선도제품을 확보하려 한다.

3. 지능형반도체 표준화 소개

지능형반도체 표준화도 기존 반도체표준의 연장선에 있는데, 여기에서는 여러 표준화 기구의 동향을 소개하고자 한다.



[그림 3] 인공지능 반도체 기술개발 로드맵



[그림 4] ISO26262와 자동차

3.1 반도체 표준화 기구

반도체 관련 국제표준기구인 IEC, ISO에서의 활동을 들 수 있다. IEC에서는 TC47(Semiconductor devices), TC100(Audio, video and multimedia systems and equipment), TC110(Electronic displays), TC113(Nanotechnology for electrotechnical products and systems), TC119(Printed Electronics), TC124(Wearable

electronic devices and technologies) 등이 대표적이다. 전자적합성(EMC, Electromagnetic Compatibility) 관련해서는 CISPR(Comité International Spécial des Perturbations Radio)에서 표준화활동이 이루어지고 있다.

한편, ISO26262에서는 [그림 4]와 같이 자동차의 기능안전성을 다루고 있는데, 2011년 ISO TC 22/SC 32/WG 8에서 제정한 표준으로 2018년 2nd

Edition에 반도체 설계 파트가 추가되었다. 향후 3rd Edition이 발간되는데, 여기에는 더 향상된 반도체 안전성 표준이 담길 것으로 보인다.

3.1.1 국제반도체표준협의기구

JEDEC은 미전자산업협회(EIA, Electronic Industries Alliance)와 미전기공업협회(NEMA, National Electrical Manufacturers Associations)가 공동으로 반도체 분야 표준 발전을 위해 1958년 설립했다. 이후 1979년 NEMA는 JEDEC 활동을 중단했으나 JEDEC의 기능은 여전히 유지되어 오늘에 이른다. JEDEC은 전자산업을 위한 개방형 표준을 개발하는 글로벌 표준 단체로, 50여 개의 기술위원회와 300개가 넘는 회원을 보유하고 있다. JEDEC이 관계하는 표준 및 기술문서의 종류는 약 40여 가지로 JESD(JEDEC Standards), JEP(JEDEC Publications), JM(JEDEC Manual) 등이 대표적이다. JEDEC의 주요 위원회 구성은 아래와 같다.

- JC-10: Terms, Definitions, and Symbols
- JC-11: Mechanical Standardization
- JC-13: Government Liaison
- JC-14: Quality and Reliability of Solid State Products
- JC-15: Thermal Characterization Techniques for Semiconductor Packages
- JC-16: Interface Technology
- JC-22: Diodes and Thyristors
- JC-25: Transistors
- JC-42: Solid State Memories
- JC-45: DRAM Modules
- JC-63: Multiple Chip Packages
- JC-64: Embedded Memory Storage & Removable Memory Cards
- JC-65: RFID
- JC-70: Wide Bandgap Power Electronic Conversion Semiconductors

3.1.2 IEEE DASC(Design Automation Standard Committee)

IEEE DASC는 설계자동화(Design Automation)와 이와 관련된 반도체IP(Intellectual Property)에 대한 표준화 기구다. DASC는 IEEE의 Computer Society에 소속되어 있으며, 언어(language) 기반 설계, 모델링, 통합(integration)과 검증 표준 등을 다루고 있다. 여기에는 타이밍, 합성(synthesis), 알고리즘, 저전력, IP 재사용, IP 암호화, 테스트 표준이 포함된다. 현재의 주안점은 시스템 레벨 설계와 모델링, 저전력, 아날로그/혼합 신호, 검증방법 등을 들 수 있다. 한편 DASC의 전신인 VSIA(Virtual Socket Interface Alliance)가 1990년대에서 2000년대 초반까지 반도체 IP와 관련하여 활발한 활동을 하여 많은 표준을 제정해 놓은 바 있다.

3.2 지능형반도체 표준화 기구

현재 지능형 반도체 표준화 기구로 반도체 관련 국제기구들이 그 활동을 준비 중인 것으로 보인다. 그러나 국내에서는 이미 TTA PG417(지능형반도체 PG)이 2019년부터 활발하게 활동해 오고 있다. ISO/IEC JTC 1/SC 42는 2017년 ISO/IEC JTC 1/WG 9(빅데이터)가 확대 재편된 표준화 위원회로 인공지능 관련 표준화를 진행하는데, 아직까지 지능형 반도체 표준은 다루고 있지 않다.

3.2.1 JEDEC DDR5

JEDEC 표준 가운데 DDR5가 멀티코어를 지원할 수 있으므로 인공지능 시스템에 널리 활용될 것으로 기대된다. 이에 대한 JEDEC 표준이 2020년 7월 14일 확정 발표된 바 있다. <표 1>에 JEDEC의 DDR5의 사양이 정리되어 있다[2].

3.2.2 TTA PG417(지능형반도체PG)

TTA PG417는 활발한 활동을 통해 2019년부

<표 1> JEDEC 표준에 따른 DDR5의 기본 사양

JEDEC DDR5-A Specifications							
AnandTech		Data Rate MT/s	CL			Peak BW GB/s	Latency (ns)
DDR5-3200	A	3200	22	22	22	25.60	13.75
DDR5-3600	A	3600	26	26	26	28.80	14.44
DDR5-4000	A	4000	28	28	28	32.00	14.00
DDR5-4400	A	4400	32	32	32	35.20	14.55
DDR5-4800	A	4800	34	34	34	38.40	14.17
DDR5-5200	A	5200	38	38	38	41.60	14.62
DDR5-5600	A	5600	40	40	40	44.80	14.29
DDR5-6000	A	6000	42	42	42	48.00	14.00
DDR5-6400	A	6400	46	46	46	51.20	14.38

터 지능형반도체 표준과 기술 분석, 보고서 작성을 하고 있다. 아래는 PG417에서 제정된 표준 및 보고서 중 대표적인 것을 선별한 것이다[3]. 각각의 설명은 TTA의 홈페이지에 게시된 내용에서 발췌했다.

3.2.2.1 지능형 반도체 적용을 위한 스파이킹 신경망 하드웨어 인터페이스

IoT 디바이스, 웨어러블 디바이스, 자율주행 자동차, 인지로봇 및 모바일 단말 분야 등 서비스 개발에 필요한 스파이킹뉴럴네트워크 기반 뉴로모픽 하드웨어의 여러 기능 요소들을 정의하고, 이들의 인터페이스를 정의하며 응용 분야에 따라서 다양한 제품들이 회사에 따라서 여러 가지의 인터페이스를 제공함으로써 플랫폼 기반의 SoC 설계 시 표준 인터페이스를 제공한다.

3.2.2.2 인공지능 프로세서의 보안성 강화를 위한 안전성 플랜

이 기술보고서는 보안성 강화가 필요한 시스템에서 사용하는 반도체에서 보안성을 높일 수 있는 기능안전 설계에 대한 예제를 제공한다. 인공

지능 반도체 내에 기능안전 기술을 포함하는 구조를 설명하고, 이러한 구조에서 인공지능 보안성 강화를 위한 동작 방식을 설명한다. 또한 보안성 강화를 위한 설계가 포함된 인공지능 프로세서 및 반도체에서 인공지능 알고리즘을 수행할 시 보안성 강화 기능을 위한 동작 예시도 함께 설명된다.

3.2.1.3 인공지능 프로세서의 기능안전 인터페이스

이 기술보고서는 인공지능 프로세서 반도체에서 기능안전 설계를 활용할 수 있는 소프트웨어 인터페이스 규격을 레지스터 레벨에서 정의하고, 정의한 레지스터를 제어하기 위한 API 인터페이스 및 인공지능 알고리즘을 프로세서에서 수행할 시 기능안전을 포함한 동작 예시도 함께 설명한다.

3.2.1.4 다중 칩 구성이 가능한 인공지능 프로세서 구조

이 기술보고서는 고성능 인공지능 시스템 구성을 위해 여러 인공지능 프로세서 반도체를 이용한 인공지능 알고리즘 가속을 위한 구조를 제시하고 인공지능 알고리즘을 수행하는 예를 제


공한다. 다중 인공지능 프로세서 반도체를 이용해 인공지능 알고리즘을 가속하는 구조를 설명하고, 이러한 구조에서 인공지능 알고리즘을 수행하기 위한 방안 및 예를 설명한다.

3.2.1.5 다중 칩 기반 인공지능 프로세서 소프트웨어 인터페이스

거대 인공신경망을 구현하거나 인공신경망의 성능을 개선하기 위해 인공지능 프로세서를 다중 칩 구조로 설계하여 모델 병렬화 또는 데이터 병렬화 기법을 적용할 수 있다. 이 기술보고서는 다중 칩 기반의 인공지능 프로세서 구조를 활용할 수 있는 소프트웨어 규격을 레지스터 레벨에서 정의하고, 정의한 레지스터를 제어하기

위한 API 인터페이스 및 인공지능 알고리즘을 프로세서에서 수행하기 위한 동작 예도 함께 설명한다.

4. 맺음말

이상에서 지능형반도체 기술과 표준화에 대해 살펴보았다. 지능형반도체 기술은 데이터 댐을 구성하는 시스템의 핵심 부품을 만들어 줄 필수적인 기술이다. 지능형반도체는 한 발 빠른 표준화 활동과 함께 데이터 댐 사업을 통한 기술개발을 바탕으로 우리나라가 선도할 수 있는 분야이므로 지능형반도체 표준화를 더 내실 있게 할 수 있는 방안을 시급히 마련해야 한다. 

참고문헌

- [1] 인공지능반도체 산업 발전 전략, 2020.10.12., 관계부처 합동
- [2] www.jedec.org
- [3] www.tta.or.kr